

PCT

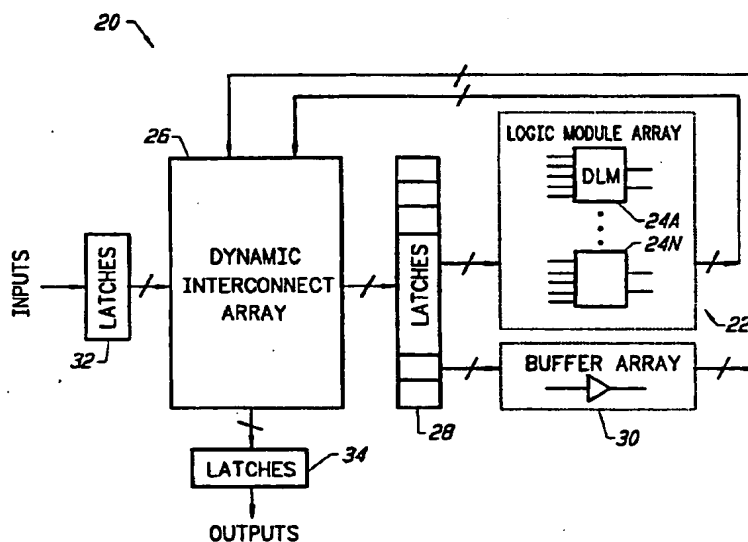
WORLD INTELLECTUAL PROPERTY ORGANIZATION  
International Bureau



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification <sup>5</sup> : G06C 13/00, G06G 7/00		A1	(11) International Publication Number: WO 94/28475
			(43) International Publication Date: 8 December 1994 (08.12.94)
(21) International Application Number: PCT/US94/05942		(81) Designated States: AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, ES, FI, GB, GE, HU, JP, KG, KP, KR, KZ, LK, LU, LV, MD, MG, MN, MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, UZ, VN, European patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).	
(22) International Filing Date: 26 May 1994 (26.05.94)			
(30) Priority Data: 08/070,102 28 May 1993 (28.05.93) US			
(71) Applicant: REGENTS OF THE UNIVERSITY OF CALIFORNIA [US/US]; Office of Technology Licensing, Suite 510, 2150 Shattuck Avenue, Berkeley, CA 94704-1318 (US).		Published With international search report.	
(72) Inventors: BHAT, Narasimha, B.; Apartment 2A, 70 Southgate Road, Murrayhill, NJ 07974 (US). CHAUDHARY, Kamal; 707 Pelton Avenue #200, Santa Cruz, CA 95060 (US).			
(74) Agents: GALLIANI, William, S. et al.; Flehr, Hobbach, Test, Albritton & Herbert, 4 Embarcadero Center, Suite 3400, San Francisco, CA 94111-4187 (US).			

(54) Title: FIELD PROGRAMMABLE LOGIC DEVICE WITH DYNAMIC INTERCONNECTIONS TO A DYNAMIC LOGIC CORE



(57) Abstract

The architecture, operation and design of a novel Field Programmable Logic Device is described. The device (20) implements a circuit by using a dynamic logic core (22) that executes staged logic corresponding to the logic levels of the implemented circuit. Logic inputs to the dynamic logic core are obtained from a dynamic interconnection array (26). Appropriate logic inputs for a given logic level are dynamically selected and routed by the dynamic interconnection array (26). When necessary, the dynamic interconnection array (26) buffers signals which are required at subsequent logic levels. The dynamic interconnection array (26) selects logic inputs for a given logic level from circuit input signals, buffered signals and dynamic logic core output signals.

(51) Int.Cl.<sup>6</sup>

H 0 3 K 19/177

識別記号

庁内整理番号

9199-5K

F I

H 0 3 K 19/177

審査請求 未請求 予備審査請求 有 (全 48 頁)

(21) 出願番号 特願平7-500966  
 (86) (22) 出願日 平成6年(1994)5月26日  
 (85) 翻訳文提出日 平成7年(1995)11月27日  
 (86) 国際出願番号 PCT/US94/05942  
 (87) 国際公開番号 WO94/28475  
 (87) 国際公開日 平成6年(1994)12月8日  
 (31) 優先権主張番号 08/070, 102  
 (32) 優先日 1993年5月28日  
 (33) 優先権主張国 米国 (US)

(71) 出願人 リージェンツ オブ ザ ユニバーシティ  
 オブ カリフォルニア  
 アメリカ合衆国 カリフォルニア州  
 94704-1318 パークレー シャータック  
 アベニュー 2150 スイート 510 オ  
 フィス オブ テクノロジー ライセンシ  
 ング  
 (72) 発明者 パート ナラシムハ ビー  
 アメリカ合衆国 ニュージャージー州  
 07974 マーリーヒル サウスゲート ロ  
 ード 70 アpartment 2エイ  
 (74) 代理人 弁理士 中村 稔 (外6名)

最終頁に続く

(54) 【発明の名称】 ダイナミックロジックコアに動的に相互接続するフィールドプログラマブル・ロジックデバイス

## (57) 【要約】

新規なフィールドプログラマブル・ロジックデバイスの構造、動作及び設計について開示する。このデバイス (20) は、具現化される回路のロジックレベルに対応する段階的ロジックを実行するダイナミックロジックコア (22) を使用することにより回路を具現化する。ダイナミックロジックコアへのロジック入力、動的な相互接続アレー (26) から得られる。所与のロジックレベルに対する適当なロジック入力、動的に選択され、そして動的な相互接続アレー (26) によってルート指定される。必要となき、動的な相互接続アレー (26) は、その後のロジックレベルにおいて必要とされる信号をバッファする。動的な相互接続アレー (26) は、回路入力信号、バッファされた信号及びダイナミックロジックコア出力信号から所与のロジックレベルに対するロジック入力を選択する。

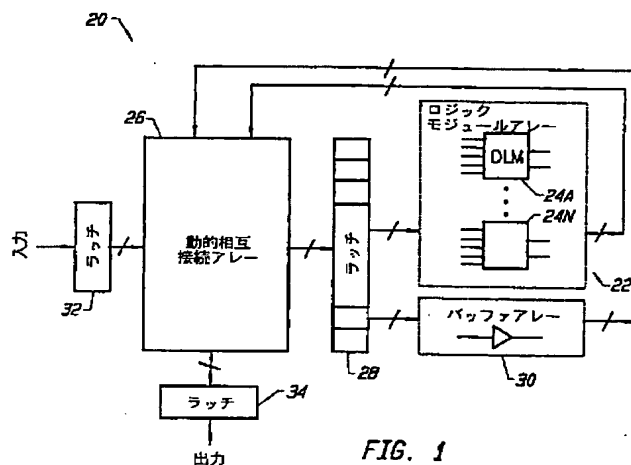


FIG. 1

**【特許請求の範囲】**

1. ダイナミックロジックコアを備え、該コアは、  
1組の入力信号に対して第1の論理演算を実行して複数の内部信号を発生するための手段と、  
1組の選択された内部信号に対して第2の論理演算を実行するための手段とを含み、上記第1の論理演算は回路の第1ロジックレベルに対応し、上記第2の論理演算は回路の第2ロジックレベルに対応し、そして更に、  
上記ダイナミックロジックコアに接続された動的な相互接続アレーを備え、該動的な相互接続アレーは、  
上記複数の内部信号から上記選択された内部信号を識別するための手段と、  
上記選択された内部信号を上記ダイナミックロジックコアへルート指定するための手段とを含むことを特徴とするフィールドプログラマブル・ロジックデバイス。
2. 上記動的な相互接続アレーは、更に、1組の上記入力信号をバッファしてそれに対応する1組のバッファされた信号を発生するための手段を含み、上記バッファされた信号は、上記内部信号の一部分を形成する請求項1に記載のフィールドプログラマブル・ロジックデバイス。
3. 上記バッファ手段は、上記入力信号をバッファするためのバッファクロスバー相互接続構造体を含む請求項2に記載のフィールドプログラマブル・ロジックデバイス。
4. 上記バッファ手段は、上記バッファクロスバー相互接続構造体に接続されたバッファクロスバーコントローラを含み、このバッファクロスバーコントローラは、上記バッファされた信号を選択するための1組の論理コマンドを実行する請求項3に記載のフィールドプログラマブル・ロジックデバイス。
5. 上記入力信号及び上記バッファされた信号を上記動的な相互接続アレーへ指向するための手段を更に備えた請求項2に記載のフィールドプログラマブル・ロジックデバイス。
6. 上記指向手段は、上記入力信号及び上記バッファされた信号を選択するための入力／バッファコントローラを備えている請求項5に記載のフィールドプロ

グラマブル・ロジックデバイス。

7. 上記動的な相互接続アレーの上記ルート指定手段は、上記選択された内部信号をルート指定するためのロジッククロスバー構造体を含む請求項1に記載のフィールドプログラマブル・ロジックデバイス。

8. 上記動的な相互接続アレーの上記識別手段は、1組の論理コマンドを実行して上記選択された内部信号を識別するためのロジッククロスバーコントローラを含む請求項8に記載のフィールドプログラマブル・ロジックデバイス。

9. 上記ダイナミックロジックコアはルックアップテーブルであり、上記第1論理演算は上記ルックアップテーブルにおける第1組の値に対応し、そして上記第2論理演算は上記ルックアップテーブルにおける第2組の値に対応する請求項1に記載のフィールドプログラマブル・ロジックデバイス。

10. 上記ダイナミックロジックコアは、上記第1論理演算及び上記第2論理演算を選択するためのカウンタを含む請求項1に記載のフィールドプログラマブル・ロジックデバイス。

11. フィールドプログラマブル・ロジックデバイスに回路を具現化する方法において、

(A) 1組の入力信号を受け取り、

(B) 上記入力信号から選択された信号がその後のロジックレベルにおいて必要とされるときにその選択された信号をバッファし、このバッファ段階はバッファされた信号を発生し、

(C) 上記入力信号に対して一次の組のロジックを実行して1組の内部信号を発生し、

(D) 上記バッファされた信号及び内部信号から1組の中間信号を選択し、

(E) 上記中間信号からの指定の信号がその後のロジックレベルにおいて必要とされるときにその指定の信号をバッファし、

(F) 上記中間信号に対し予め選択された組のロジックを実行して新たな組の内部信号を発生し、そして

(G) 回路における複数のロジックレベルに対応する所定の組のロジックが実行されるまで上記段階(D)ないし(F)を繰り返す、

という段階を備えたことを特徴とする方法。

12. 上記実行段階の上記予め選択された組のロジックは、上記複数のロジックレベル内にロジックレベルを定義することにより指定される請求項11に記載の方法。

13. 上記定義段階の上記ロジックレベルは、各実行段階の後に増加される請求項12に記載の方法。

14. フィールドプログラマブル・ロジックデバイスの設計方法において、  
上記フィールドプログラマブル・ロジックデバイス内に具現化されるべき回路の記述を受け取り、

上記回路内のロジックレベルを識別し、

上記回路内の上記ロジックレベルの各々に対応するロジックを実行するためにロジックテーブルを形成し、

上記ロジックテーブルに付与されるべき入力値及びバッファされた値を選択するために入力／バッファロジックを形成し、

後続のロジックレベルにおいて使用しなければならない第1ロジックレベルのバッファされた値を記憶できるようにバッファコントローラロジックを形成し、  
そして

上記ロジックテーブルにその後に付与される入力値及びバッファされた値を記憶できるようにロジックコントローラのロジックを定義する、

という段階を備えたことを特徴とする方法。

15. 上記入力／バッファロジック、上記バッファコントローラロジック及び上記ロジックコントローラロジックを不揮発性メモリデバイスにダウンロードする段階を更に備えた請求項14に記載の方法。

16. 入力／バッファコントローラ、バッファコントローラ及びロジックコントローラを含むフィールドプログラマブル・ロジックデバイスへ上記不揮発性メモリデバイスを接続する段階を更に備えた請求項15に記載の方法。

**【発明の詳細な説明】**

ダイナミックロジックコアに動的に相互接続するフィールド  
プログラマブル・ロジックデバイス

**発明の分野**

本発明は一般にフィールドプログラマブル（使用現場でプログラム可能な）・ロジックデバイスに係る。より詳細には、本発明は、段階的なロジックレベルで動的に変化するロジックコアをアクセスするための動的な相互接続を有するフィールドプログラマブル・ロジックデバイスの構造、動作及び設計に係る。

**先行技術の説明**

プログラマブル・ロジックデバイス（PLD）は、電子装置を制御するロジック機能を実施するために広く使用されている。マスクプログラマブル・ロジックデバイスは、デバイスの製造プロセス中に製造者によってプログラムされる。これに対して、フィールドプログラマブル・ロジックデバイスは、製造者により非プログラム状態で流通される。その後、デバイスの購入者は、所望の機能を実行するようにそれを「フィールド（使用現場）」でプログラムする。本発明は、フィールドプログラマブル・ロジックデバイス（FPLD）に係る。フィールドプログラマブル・ゲートアレー（FPGA）は、FPLDの1つの形態である。

FPLDの主たる効果は、ユーザがプログラムできることにより迅速に且つ安価に原型を開発できることである。FPLDに関連した別の重要な効果は、異なる設計を実行するように再プログラムできることである。

所与の構造内で具現化されるべき特定の設計は、コンピュータ・エイデッド・デザイン（CAD）技術とも称するエレクトロニック・デザイン・オートメーション（EDA）技術で開発される。EDAツールは、ロジックシンセサイザー、物理的なデザインツール及びタイミング照合手段を含む。ロジックシンセサイザーは、回路の高レベル記述を、回路部品及び回路部品間の接続を記述するネットリストに変換する。ネットリストが与えられると、物理的なデザインツールは、部品と、部品間の接続を実現するに必要なワイヤセグメントとの物理的な位置を決定する。デザインプロセスのこの段階は一般に計算上経費がかかる。従って、このプロセスを改良することが目下の課題である。

タイミング照合手段は、ネットリストに記述された回路のタイミング性能を分析する。回路のタイミング性能に基づいて、エンジニアは、回路の性能を改善するようにネットリストを変更する。

所与の回路をFPLDアーキテクチャーへと完全に自動的に具現化することが所望される。これを行うために、EDAツールがタイミング性能を正確に推定でき且つ所与の回路設計を容易に配置及びルート決めできるよう確保するようにFPLDアーキテクチャーを設計することが重要である。FPLDアーキテクチャーは複雑な回路を実現化する能力を排除することなく、前記の特徴をもたねばならない。

一般に、FPGAにはルックアップテーブル(LUT)が使用される。LUTは、所与の1組の入力値に対して出力値を与えるデジタルデバイスである。この出力値は、入力値によってアドレスされたメモリ位置に記憶される。

LUTに基づくFPGAは、一連のLUTを使用して多レベル構造体を形成する。このようなデバイスでは、第1のLUTからの出力は、第2のLUTにおいて新たな入力値と合成されて、新たな出力値を形成する。第2のLUTは、第2のロジックレベルと見なす。同様に、第2のLUTからの出力値は、その後、第3のLUTにおいて付加的な入力値と合成される。このようなデバイスでは、各ロジックレベルごとにLUTを伴い3つのロジックレベルがある。

慣例的なLUTベースのFPGAに関連して多数の問題が存在する。前記で述べたように、これらのデバイスは、ロジックを具現化するシリコンダイにわたりLUTが分布された逐次構造を有する。この解決策は、空間的に費用がかかる。更に別の問題は、種々のLUT間の接続のルートに関するものである。LUT間の接続は、予想できない不所望な信号伝播遅延を導入する。この伝播遅延により全てのタイミング制約を満たすまで回路を再配置し且つ再ルート決めすることが必要となる。ある環境においては、妥当なタイミング制約を満足するようにFPGA上に所与の回路設計を配置し且つルート決めすることは不可能である。

#### 発明の要旨

フィールドプログラマブル・ロジックデバイスの新規な構造、動作及び設計について開示する。このデバイスは、具現化される回路のロジックレベルに対応す

る段階的ロジックを実行するダイナミックロジックコアを用いることにより回路を具現化する。ダイナミックロジックコアへのロジック入力、動的な相互接続アレーから得られる。所与のロジックレベルに対する適当なロジック入力は動的な相互接続アレーにより動的に選択されルート決めされる。必要であれば、その後のロジックレベルに要求される信号が動的な相互接続アレーによってバッファされる。動的な相互接続アレーは、回路入力信号からの所与のロジックレベルに対するロジック入力、バッファされた信号及びダイナミックロジックコアの出力信号を選択する。

#### 図面の簡単な説明

本発明の特徴及び目的を良く理解するために、添付図面を参照して、本発明を以下に詳細に説明する。

図1は、本発明のFPLDの高レベル回路図である。

図2は、本発明のFPLDの回路図である。

図3は、本発明の関連して用いられるレベルカウンタを示す図である。

図4は、本発明により使用されるダイナミックロジックモジュールを示す図である。

図5は、本発明により設計をFPLDへと具現化するのに関連した処理段階を示す図である。

図6Aは、図5の処理段階を具現化するのに使用する装置を示す図である。

図6Bは、図6Aの装置により発生されるダウンロードロジックと、このダウンロードロジックをその後に使用するFPLDとの間の関係を示す図である。

図7は、本発明のFPLDの動作に関連した制御シーケンスを示す図である。

図8は、本発明のFPLDにおいて例示的に具現化した回路の回路図である。

図9は、図8の回路図に関連したロジックテーブル又はルックアップテーブルを示す図であり、これらテーブルは、本発明のダイナミックロジックモジュールにおいて具現化されるものである。

図10ないし13は、図8の回路を本発明のFPLDへと具現化したところを示す図である。

図14は、本発明のFPLDにおいて例示的に具現化された回路の回路図であ



る。

図15は、図14の回路図に関連したロジックテーブル又はルックアップテーブルを示す図であり、これらテーブルは、本発明のダイナミックロジックモジュールにおいて具現化されるものである。

図16ないし20は、図14の回路を本発明のFPLDへと具現化したところを示す図である。

これらの図面にわたり対応する部分は同じ参照番号で示す。

#### 好ましい実施形態の詳細な説明

図1は、本発明によるフィールドプログラマブル・ロジックデバイス（FPLD）20を示す。FPLD20はダイナミックロジックコア22を備え、これはダイナミックロジックモジュール24のアレーを含んでいる。以下に詳細に述べるように、各ダイナミックロジックモジュール24は、1組の論理演算を実行する。1組の論理演算は、多数の個々のロジック段階即ちレベルを含む。各ロジックレベルは、FPLD20で具現化される回路のゲートレベル表示におけるロジックレベルに対応する。

ダイナミックロジックコア22は、動的な相互接続アレー26に接続される。動的な相互接続アレー26は、ダイナミックロジックコア22の各ロジックレベルが適当な入力信号を受け取るようにロジックコア22への接続を動的に変更する。全回路を具現化するのに同じルート決めリソースが使用されるので、本発明はシリコンリソースを最適なものにす。この技術の別の効果は、回路のルート決めが単純であり、従って、回路の設計自動化が簡単なことである。

インターフェイスラッチ28は、ダイナミックロジックコア22と動的な相互接続アレー26との間に設けられる。バッファアレー30は、以下に詳細に述べるように、ダイナミックロジックコア22の選択されたロジックレベルをバイパスするのに使用される。最終的に、本発明のFPLD20は、入力ラッチ32及び出力ラッチ34を使用して具現化される。

図2は、図1のFPLD20を詳細に示すものである。ダイナミックロジックモジュール24は、動的な相互接続アレー26の一部分を形成するロジッククロスバー（L-クロスバー）モジュール40によって信号供給される。以下に述べ

るように、Ｌークロスバーモジュール４０は多数の仕方で具現化できる。現在のところ、Ｌークロスバーモジュール４０は、最終的にダイナミックロジックモジュール２４へ送られる値をルート決めするためのデバイスとみなすべきである。Ｌークロスバーモジュール４０は、Ｌークロスバーダイナミック構成コントローラ４２によって作動される。

コントローラ４２への１つの入力は「レベル」値である。以下に詳細に述べるように、このレベル値は、具現化する回路のロジックレベルである。このレベル値は、Ｌークロスバーモジュール４０の適切な制御を決定するのに使用される。

図３は、本発明により使用されるレベルカウンタコントロールモジュール４４を示す。このモジュール４４は、回路レベルを追跡するカウンタ４６を備えている。コントローラ４８は、内部レベルカウンタ５０の動作を制御する。以下に述べるように、本発明を実施するためにマルチチップモードが選択された場合は、コントローラ４８は、次のチップへの制御を作動し、手前のチップからの信号を用いる。さもなくば、これらの信号は無視される。内部レベルカウンタ５０は、モード及びカウンタ４６に記憶されたワードに基づいてコントローラ４８により増加又はリセットされる。カウンタ５０のワードは、次いで、図２に示すようにＦＰＬＤ２０内の種々のデバイスへ送られる。

Ｌークロスバー４０は、ダイナミックロジックモジュール２４からダイナミックロジックモジュール２４へ入力値、バッファ値及び出力をルート決めする。Ｌークロスバー４０は、以下に述べるように、具現化する回路の各レベルごとに、ダイナミックロジックモジュール２４への相互接続を動的に変更する。図２に示すように、入力ラッチ３２は、入力値を受け取る。入力値は、次いで、マルチプレクサ５４へ送られる。マルチプレクサ５４は、バッファアレー３０からの値も受け取る。入力又はバッファアレー３０からの信号の選択は、一次入力／バッファ選択コントローラ５６によって制御される。

マルチプレクサ５４の出力は、バッファクロスバーモジュール５８（Ｂークロスバー）へ送られる。このＢークロスバーモジュール５８は、第１ロジックレベルにある値であって将来のロジックレベルにおいても必要とされる値をルート決めする。特に、別のロジックレベルへバイパスされるべき値は、Ｂークロスバー

モジュールからバッファアレー 30 へ送られる。マルチプレクサ 61 は、以下に述べるように、B-クロスバーモジュール 58 からの値又はダイナミックロジックコア 22 からの出力値を選択するのに用いられる。ラッチ 34 は、マルチプレクサ 61 の制御信号を記憶する。

B-クロスバーモジュール 58 は、B-クロスバーダイナミック構成コントローラ 60 によって制御される。ロジックレベル値は B-クロスバーダイナミック構成コントローラ 60 への入力を形成する。前記したように、レベル値は、具現化される回路のロジックレベルに対応する。図示されたように、これらの値は B-クロスバー 58 をバイパスし、L-クロスバーモジュール 40 に接続される。前記したように、L-クロスバーからの値は、次いで、ダイナミックロジックモジュール 24 へ送られる。ダイナミックロジックモジュール 24 の出力は、全てのロジックレベルが実行された後に、出力ラッチ 34 へ送られる。

図 4 は、本発明によるダイナミックロジックモジュール 24 を示している。これらのダイナミックロジックモジュールは、ルックアップテーブル、マルチプレクサをベースとするモジュール又はその組合せによって具現化される。ルックアップをベースとするモジュールは、1 組の入力値に対し全ての組合せ機能を具現化できるので、本発明において好ましいものである。ルックアップテーブルは、単一又は多数の出力を有する。

図 4 は、ダイナミックロジックモジュール 24 を K 入力・2 出力 LUT の形態で示している。K 入力値は、LUT に対するアドレスラインの数としてみなされる。従って、K が 3 に等しい場合には、モジュール 24 は、3 本のアドレスラインを伴う LUT の形態で具現化される。入力値に加えて、レベル入力が必要とされる。前記したように、レベルは、具現化される回路のロジックレベルに対応する。入力及びレベルがセットアップされると、マルチプレクサ 66 は、その選択ラインを経て、適当なロジックビット（1 つ又は複数）を選択するのに使用される。

ダイナミックロジックモジュール 24 は、出力当たり  $L \times 2^k$  ビットのメモリを必要とする。「L」は、所与の FPLD デバイスにおいて具現化することのできるレベルの数の上限に対応する。レベル選択ライン及び K 本のアドレスライン

を一緒に結合できるようにする方法は多数ある。このアーキテクチャーの所与の具現化に対する特定の技術は、エリアの使用量及びメモリの読み取り時間に基づき、そしてこれは使用する技術に基づく。

本発明のアーキテクチャー全体について以下に説明する。このアーキテクチャーの構造及び動作について以下に注目する。本発明の構造及び動作を、最初に、一般的なレベルで説明する。その後、多数の例を参照して本発明の構造及び動作を特に詳細に説明する。

図5は、本発明のFPLDアーキテクチャーにおいて回路設計を実行する場合の関連処理ステップを示す。このプロセスに関連した第1のステップは、回路の記述を受け取ることである（ブロック70）。一般に、回路の記述は、ハードウェア記述言語、レジスタ転送言語又は回路図記述の形態であり、これらは全て当業者に知られたものである。

このプロセスに関連した次のステップは、回路内の種々のロジックレベルを識別することである（ブロック72）。このステップは、既知のロジック合成技術に関連して行われる。

回路は、多数のロジックレベルに分割される。即ち、1組の入力信号が第1組の回路部品によって最初に処理され、第1レベルの出力値を発生する。第1レベルの出力値、及びおそらくは幾つかの初期入力信号は、第2組の回路部品へ通される。このプロセスは、多数のロジックレベルを通じて繰り返される。この動作の特定の説明は、以下で行う。

このプロセスに関連した次のステップは、各ロジックレベルごとにロジックテーブルを形成することである（ブロック74）。このステップでは、各ロジックレベルにおいてロジックモジュールによって実行される論理演算を定めるためにロジックテーブルが形成される。

このプロセスの次のステップは、PI/バッファコントローラのロジックを形成することである（ブロック76）。この形成されたロジックは、1組のマルチプレクサ選択値を生じ、これらは、異なる処理段階（ロジックレベル）でマルチプレクサ54へ送られる。例えば、第1のロジックレベルにおけるバッファアレー30からの値を、第2ロジックレベルでの処理のために通過すべきときには、

適当な選択信号が発生されてマルチプレクサ54に信号を通せるようにする。

Bークロスコントローラロジックの形成は、プロセスの次のステップ（ブロック78）である。このステップでは、Bークロスバー58が、その後に、あるロジック段階の実行中にバッファされる値をルート指定できるようなロジックが形成される。

プロセスの次のステップは、Lークロスコントローラロジックを定義することである（ブロック80）。このステップでは、Lークロスバー40が、その後にダイナミックロジックコア22へラッチされる値をルート指定できるようにするロジックが定義される。

ステップ74、76、78及び80において上記のロジックが定義された後、それが構成メモリ99へダウンロードされる（ブロック82）。ダウンロードされると、ロジックは、以下に述べるように実行することができる。

図6Aは、図5のプロセスを実行するのに用いられる装置90を示している。この装置90は、中央処理ユニット（CPU）92を備え、これはバス93を経てユーザインターフェイス94へ接続される。ユーザインターフェイス94は、キーボード、マウス、スキャナ、モニタ、プリンタ等の既知のコンピュータ入力及び出力装置の組合せである。ユーザインターフェイス94は、本発明のFPLDにおいて具現化されるべき回路記述96を受け取る。

CPU92は、メモリ98に記憶された多数のプログラムを実行する。これらのプログラムは、一般に、公知形式のロジックシンセサイザーを補足する。

CPU92は、ロジックレベル識別手段100（ステップ72に対応する）、ロジックテーブル形成手段102（ステップ74に対応する）、PI／バッファコントローラ手順（ステップ76に対応する）、Bークロスコントローラ発生手段106（ステップ78に対応する）及びLークロスコントローラ定義手段（ステップ80に対応する）を実行する。これらのモジュールは、各々、ロジックレベル、ロジックテーブル、PI／バッファロジック、Bークロスコントローラロジック、及びLークロスコントローラロジックを発生する。

CPU92の指令において、発生されたロジックが、適当なインターフェイス110を経て不揮発性構成メモリ99へダウンロードされる。フィールドプログ

ラマブル・ロジックデバイスに値を記憶するためのインターフェイスは、公知である。

図6Bは、不揮発性構成メモリ99と本発明のFPLD20との間の関係を示している。特に、不揮発性構成メモリ99に適当なロジック値がロードされた後に、それが装置90に係わりなく使用される。特に、不揮発性の構成メモリ99は、FPLD20に接続される。標準的なメモリダウンロード回路101は、不揮発性構成メモリ99からのロジック値の受け取りを整合するためにFPLD20に使用される。図6Bに示されたように、FPLD20は、ダイナミックロジックコア22、Lークロスバーコントローラ42、PI／バッファコントローラ56、及びBークロスバーコントローラ60に対するロジックを受け取る。

図7は、本発明のFPLD20の動作に関連した処理ステップを示している。このプロセスの第1ステップは、入力値の読み取りである（ブロック120）。入力値は、PI／バッファ選択コントローラ56によって制御されるマルチプレクサ54を介して得られる。その後、バッファ値（ブロック122）及びロジック値（ブロック124）がルート指定される。バッファ値は、Bークロスバーコントローラ60によってルート指定され、そしてロジック値は、Lークロスバーコントローラ42によってルート指定される。これらのオペレーションは、一般に、同時に実行されるが、図7には順次のオペレーションとして示されている。

本発明のFPLDに関連した次の処理ステップは、所与の段階即ちロジックレベルに対し、ダイナミックロジックモジュール24内のロジックを実行することである（ブロック126）。同時に、ロジックレベルはカウンタ4により増加される（ブロック128）、全てのロジックレベルが処理されたかどうかの判断がなされる（判断ブロック130）。図7のステップ126、128及び130は、並列に実行されるのが好ましいが、図7には説明上順次のオペレーションとして示されている。全てのロジックレベルが処理された場合には、出力値が発生される。さもなくば、ブロック120において処理が再び開始される。

以上、本発明を十分に説明したが、本発明を更に完全に理解するために、多数の例について注目する。図8は、本発明により実施される例示的回路140のゲートレベル回路図である。回路への3つの入力（a、b、c）がオアゲート14

2へ送られて「G」出力が発生される。又、2つの入力（d、e）がアンドゲート144へ送られて「H」出力が発生される。オアゲート146は「c」入力と「H」入力を受け取る。XOR（排他的オア）ゲート148は、「G」入力及び「H」入力を受け取る。回路140は、次のブール状態を特徴とする。

$$G = a + b + c \quad (1)$$

$$H = d * e \quad (2)$$

$$x = G * \overline{H} + \overline{G} + H \quad (3)$$

$$y = c + H \quad (4)$$

図8は、図5のステップ70に対応する「回路記述」を構成する。式（1）ないし（4）は、別の（しかし同等の）「回路記述」を与える。図5のブロック70の実施に基づいて、特定の形態の「回路記述」を供給しなければならない。ここに示す例の説明上、回路図又は式のフォーマットで充分である。

図5に示すように、回路記述が受け取られた（ブロック70）後に、本発明のFPLDへと回路を具現化するのに関連した次のステップは、ロジックレベルを識別することである（ブロック72）。図8の回路の場合は、2つのロジックレベルがある。第1のレベルには、オアゲート142及びアンドゲート144がある。第2のレベルには、オアゲート146及びXORゲート148がある。図5の処理に関連した次のステップは、各ロジックレベルに対しロジックテーブルを形成することである（ブロック74）。図9は、図8の回路に対応するロジックテーブルを示す。第1レベルにおいては、「G」出力及び「H」出力に対してロジックテーブルが設けられる。「G」出力に対するロジックテーブルを参照すれば、3つの入力値（a、b、c）に対応する8個のアドレス可能な値（ $2^3$ ）があることに注意されたい。種々の入力値に関連したロジックは、列「G」に与えられている。即ち、オアゲート142の場合は、全ての入力値が0でない限り、出力は「1」となる。「H」出力に対するロジックテーブルは、2つの入力値しかもたない。それ故、最上位入力ビットは「ドント・ケア」状態とみなされる。従って、最初の4つの値に対するロジックは、次の4つの値に対するロジックと同じである。いずれにせよ、アンドゲート144に対する「H」出力は、「d」及び「e」が「1」であるときだけ「1」となる。

図9の第2レベルは、「x」出力及び「y」出力に対するロジックテーブルを含んでいる。「x」出力に対するロジックテーブルは、XORゲート148に対するロジックを記述し、一方、「y」出力に対するロジックテーブルは、オアゲート146に対するロジックを記述する。各テーブルは2つの入力しかもたず、従って、「ドント・ケア」状態があり、繰り返し出力パターンとなることに再び注意されたい。

図5のステップ76により、ここで、PI／バッファコントローラロジックが形成される。この例では、回路の第1レベルにおいて、PI／バッファ選択コントローラ56は、入力ラッチ32からの全ての入力値(a、b、c、d、e)がマルチプレクサ54に通されるような選択信号を発生する。ロジックの第2レベルにおいては、バッファされた値「c」をマルチプレクサ54に通すことのできる選択信号が発生される。

又、図5のステップ78に関連したBークロスコントローラロジックは、この接続点において導出されてもよい。この例では、Bークロスダイナミック構成コントローラは、第1ロジックレベルで受け取られた値「c」をルート指定するためのロジックを与えなければならない。第2ロジックレベルでは、何のオペレーションも必要とされない。

図5のステップ80に関連したLークロスコントローラロジックは、次のように定義される。第1のロジックレベルにおいて、Lークロスダイナミック構成コントローラ42は、入力値「a」、「b」、「c」、「d」及び「e」をルート指定しなければならない。これらの値は、その後、ダイナミックロジックコア22にラッチされる。第2のロジックレベルにおいて、入力値「G」、「H」及び「c」が記憶される。

以上のロジックが図5のステップ82に従ってダウンロードされた後、本発明の装置の実行が、図7に特徴付けされたように開始される。

図10ないし13は、以上の例に関連して本発明のアーキテクチャ及び動作を示すものである。これらの図は、図7に示した処理ステップに関連して説明する。

図10は、図8の回路を具現化するのに使用できるFPLD20Aを示す。こ



の装置20Aは、一般に図2の装置に対応する。Lークロスバー40及びBークロスバー58は、交差点150の格子として示されていることに注意されたい。図10は、PI／バッファ選択コントローラ56を示していない。他の図は、Lークロスバーコントローラ42も、Bークロスバーコントローラ60も示していない。

図11は、図7のステップ120、122及び124を実行した後の結果を示している。これらステップの幾つかは、並列に実行できることを想起されたい。しかしながら、本発明の説明を明確にするために、これらのステップは、順次に実行されるものとしてしばしば説明する。

図示されたように、入力値「a」、「b」、「c」、「d」及び「e」は入力ラッチ32にラッチされる(図7のステップ120)。又、黒丸で図示されたように、バッファ値「c」は、Bークロスバー58を経てルート指定される(図7のステップ122)。又、図示されたように、入力値「a」、「b」、「c」、「d」及び「e」は、Lークロスバー40を経てルート指定される(図7のステップ124)。

図12は、図7のステップ126、128、130及び120を実行した後の結果を示している。図示されたように、Lークロスバー40及びBークロスバー58からの値はラッチ28にロードされている。その後、レベル1の「G」ロジックテーブル及び「H」ロジックテーブルに対応して、Lークロスバー値がダイナミックロジックモジュール24A及び24Bへ送られる。ダイナミックロジックモジュール24Aは値Gを生じそしてダイナミックロジックモジュール24Bは値Hを生じている(図7のステップ126)。このロジックの実行と同時に、カウンタ44(図3に示すが、図12には示されていない)はロジックレベルを増加する(図7のブロック128)。この例においては、第1ロジックレベルのみが処理され、従って、もう1つのロジックレベルを処理しなければならない。

第2ロジックレベルは、最後のロジックレベルであるから、バッファ値をルート指定する必要がない(図7のブロック122)。一方、ロジック値は、Lークロスバー40を経てルート指定されねばならない(図7のブロック124)。図12において、「G」出力は、ダイナミックロジックモジュール24Aから交差

点152においてLークロスバーに直接的に通される。同様に、「H」出力は、ダイナミックロジックモジュール24Bから交差点154及び156においてLークロスバーに直接的に通される。最後に、バッファされた値「c」は、交差点158においてLークロスバーに通される。

Lークロスバーコントローラ42は、これらの位置への「書き込み」をイネーブルする。Lークロスコントローラロジックを定義する際に（図5のブロック80）、例えば、第2のロジックレベルにおいて、ダイナミックロジックモジュール24Aによって具現化される「x」ロジックテーブルに対して入力「G」及び「H」が必要とされる。それ故、「G」及び「H」値を受け取るためにダイナミックロジックモジュール24Aへの2つの入力がいネーブルされる。より詳細には、ダイナミックロジックモジュール24の出力からデータを受け取るように、行160及び162がいネーブルされる。本発明のクロスバー構造に対する任意の実施について以下に述べる。

図13は、図7のステップ126、128及び130に関連した処理を示している。図13は、第2レベルの入力値「G」及び「H」がラッチ28にラッチされることを示している。これらの値は、次いで、ダイナミックロジックモジュール24Aにより具現化されるロジックテーブル「x」へ送られる。同様に、第2レベルの入力値「H」及び「c」も、ダイナミックロジックモジュール24Bにより具現化されるロジックテーブル「y」へ送られる。

次いで、ロジックモジュールは、それらの各々のロジックを実行し（図7のステップ126）そしてカウンタ（図示せず）が増加される（図7のステップ128）。第2レベルが処理されているので、「x」及び「y」出力値は、出力ラッチ34へ送られる。

ここで、装置20Aは、別の1組の入力値を処理することができる（図7のステップ120）。図13は、入力ラッチ32における新たな1組の入力値を示している。これら値の処理は、前記したように行われる。

図14は、本発明により実施される別の回路178を示している。回路178の分析は、4つのロジックレベルがあることを明らかにする。第1のロジックレベルは、入力信号を処理し、別のレベルからの出力に基づくものではない。第1

のロジックレベルは、XORゲート180、182、184、アンドゲート186、及びアンドゲート188を含む。第2のロジックレベルは、入力信号と、第1のロジックレベルで発生された信号とを処理する。第2ロジックレベルにおけるゲートは、XORゲート190、アンドゲート192、アンドゲート194、オアゲート196（これは3つのアンドゲート197A、197B、197Cに接続される）及びアンドゲート198を備えている。第3ロジックレベルは、第1ロジックレベル及び第2ロジックレベルで発生された信号を処理し、又、入力信号も処理できるが、この場合は行わない。この例の第3ロジックレベルは、オアゲート200、アンドゲート202、及びアンドゲート204（これはオアゲート205に接続される）を備えている。この例の最後のロジックレベルである第4のロジックレベルは、出力値を発生する。第4のロジックレベルは、アンドゲート206、XORゲート208、及びオアゲート210（これはアンドゲート212に接続される）を備えている。更に複雑な回路の場合には、当業者に良く知られた有向非サイクルグラフ（Directed Acyclic Graph）を用いて、レベル分け（levelization）プロセスが簡単化される。

従って、図14は回路記述を表している（図5のステップ70）。前記の文節では回路に関連したロジックレベルが識別される（図5のステップ72）。図15は、各レベルごとのロジックテーブルを示している（図5のステップ74）。レベル1のテーブル「HO」は、2つの出力値を形成することに注意されたい。出力値「0」は、3つの入力「b」、「c」及び「d」（XORゲート184及びアンドゲート186へ進む）を必要とする。一方、値「H」は、2つの入力「c」及び「d」しか必要とせず、従って、入力値「b」については「ドント・ケア」状態が存在する。この形式の組合せは、有効なダイナミックロジックモジュール24を形成するように行うことができる。レベル2のテーブル「KI」は、リソースを共用できる別の例である。

本発明によるFPLDの設計に関連した次の処理ステップは、種々のコントローラに対して適当なロジックを発生することに関する。ここに示す例では、PI／バッファコントローラ56は、第1のロジックレベルにおける全ての入力値を選択する必要がある。第2のロジックレベルにおいては、PI／バッファコント

ローラ56は、全ての初期入力値を将来の処理のためにマルチプレクサ54に通せるようにする。第3のロジックレベルにおいては、PI／バッファコントローラ56は、中間信号「F」、「H」、「O」及び入力信号「b」を通せるようにする。第4のロジックレベルにおいては、PI／バッファコントローラ56は、最終段階入力値「H」、「B」、「F」、「G」及び「K」を処理のために通せるようにする。

Bークロスバーダイナミック構成コントローラ60は、4段階のロジックを用いて図14の回路を実施する。第1のロジックレベルにおいては、Bークロスコントローラ60は、Bークロスバーが全ての入力値をルート指定できるようにする。というのは、それらが全てその後の処理に必要なからである。第2のロジックレベルにおいては、Bークロスコントローラ60は、Bークロスバーが、第4ロジックレベルで必要となる値「b」のみをルート指定できるようにする。第3ロジックレベルでは、Bークロスコントローラ60は、Bークロスバーが、第4ロジックレベルの処理に必要とされる値「F」、「H」及び「b」をルート指定できるようにする。最終ロジックレベルにおいては、Bークロスコントローラ60は、いかなるルート指定制御を開始する必要もない。

Lークロスバーダイナミック構成コントローラ42のロジックは、種々のロジックレベルにおいてダイナミックロジックモジュール24に対する適当な入力をイネーブルしなければならない。第1ロジックレベルにおいては、Lークロスコントローラ42は、Lークロスバー40がダイナミックロジックモジュール24Aについては値「a」及び「e」をルート指定できるようにし、ダイナミックロジックモジュール24Bについては値「b」、「c」及び「d」をルート指定できるようにし、そしてダイナミックロジックモジュール24Cについては「c」及び「d」をルート指定できるようにする。第2ロジックレベルにおいては、Lークロスコントローラ42は、Lークロスバー40がダイナミックロジックモジュール24Aについては値「H」、「F」及び「b」をルート指定できるようにし、ダイナミックロジックモジュール24Bについては値「a」及び「e」をルート指定できるようにし、そしてダイナミックロジックモジュール24Cについては「c」、「b」及び「d」をルート指定できるようにする。第3ロジックレ

ベルでは、Lークロスコントローラ42は、Lークロスバー40がダイナミックロジックモジュール24Aについては値「G」、「M」及び「K」をルート指定できるようにし、ダイナミックロジックモジュール24Bについては値「F」、「H」及び「I」をルート指定できるようにし、そしてダイナミックロジックモジュール24Cについては「G」、「P」及び「O」をルート指定できるようにする。第4ロジックレベルでは、Lークロスコントローラ42は、Lークロスバー40がダイナミックロジックモジュール24Aについては値「J」、「N」及び「Q」をルート指定できるようにし、ダイナミックロジックモジュール24Bについては「H」、「F」及び「b」をルート指定できるようにし、そしてダイナミックロジックモジュール24Cについては「G」、「J」及び「K」をルート指定できるようにする。

図5に戻ると、ロジックテーブル、PI/バッファコントローラ、Bークロスコントローラ及びLークロスコントローラのための適当なロジックが今や記述されている。このロジックは、次いで、不揮発性メモリへダウンロードすることができる(ブロック82)。

図14の回路に関連した入力信号の処理を、図7及び図16ないし20を参照して以下に説明する。図16は、図7の処理ステップ120、122及び124を示す。特に、図示されたように、入力値は、入力ラッチ32に送られる(図7のブロック120)。又、図示されたように、バッファ値は、交差点220ないし228においてBークロスバー58に通される(図7のブロック122)。更に、図16に示すように、ロジック値は、Lークロスバー40に通される。例えば、交差点230は値「a」を通し、そして交差点232は値「e」を通す。これら値の各々は、その後、ラッチ28へ送られ、ダイナミックロジックモジュール24Aによって実行される。

図17は、図7に関連した処理ステップ126、120、122及び124を順次に示している(多数のこれらステップは並列に実行できることを想起されたい)。図示されたように、ラッチ28は、ロジック実行のためにダイナミックロジックモジュール24をロードする(図7のステップ126)。又、図示されたように、ラッチ28は、バッファ31をロードする。図7に示すように、次の処

理段階は、ロジックレベルを増加し（ブロック128）そして全てのレベルが処理されたかどうか質問する（判断ブロック130）ことである。ロジックレベルは、図17には増加されて示されていないが、この目的のための回路は、図3に示した。この点においては全てのロジックレベルが処理されていないので、新たな入力を得られる（図7のブロック120）。従って、この点では、前記したように、PI／バッファコントローラ56は、バッファされた全て値をマルチプレクサ54に通せるようにする。次いで、適当なバッファ値がBークロスバー58にロードされる（図7のブロック122）。図17に示すように、交差点234においては、値「b」が通され、これは、この処理接続点における唯一の値で、次に使用しなければならない値である。

最終的に、図17は、第2のロジックレベルに対してロードされるロジック値を示している（図7のブロック124）。例えば、交差点236において、出力値「F」はLークロスバー40にロードされることに注意されたい。この値は、ダイナミックロジックモジュール24Aから直接得られる。交差点236は、ダイナミックロジックモジュール24Aから直接受け取った出力値「H」を通す。交差点238は、既にバッファされた値である値「b」を通す。

図18は、図14の回路に関連した続きの処理を示している。図示されたように、第2レベルのロジック値がラッチ28にロードされる。又、ロジックの実行による出力も図示されている。更に、これらの出力が本発明によりいかに再処理されるかも示されている。例えば、出力「G」は交差点250及び252を経て送られ、その後、それらは、第3ロジックレベルの実行中にダイナミックロジックモジュール24A及び24Cへの入力として働く。又、図18に示すように、値「F」、「O」及び「B」は、その後の処理のためにBークロスバー58において交差点254、256及び258にルート指定される（値「F」、「O」はロジックレベル3に使用され、値「b」はロジックレベル4に使用される）。最終的に、図18に示すように、既にバッファされた値がLークロスバー40に通される。例えば、交差点260は、既にバッファされた値「O」を通し、そして交差点262は、既にバッファされた値「P」を通す。これら両方の値は、ロジックレベル3の間に、ダイナミックロジックモジュール24Cへの入力として働

く。

図19は、本発明に関連した第3のロジックレベルを示している。第3ロジックレベルの入力値は、ラッチ28に存在するものとして示されている。第3ロジックレベルの出力値は、ダイナミックロジックモジュール24の出力信号として示されている。図示されたように、ロジック値「N」、「J」及び「Q」はLークロスバー40を経て送られている。ロジック値「N」は交差点280を経て送られ、ロジック値「J」は交差点282及び284を経て送られ、そしてロジック値「Q」は交差点286を経て送られる。Lークロスバー40における他の値は、バッファ31から得られたものである。バッファ値「F」はクロスバー290を経て送られ、値「G」はクロスバー292を経て送られ、値「H」はクロスバー294を経て送られ、値「K」はクロスバー296を経て送られ、そして値「b」はクロスバー298を経て送られる。最終的なロジックレベルが実行されようとするので、Bークロスバー58には値がないことに注意されたい。

図20を参照すれば、第4レベルロジック入力がラッチ28に示されている。又、図20は、ダイナミックロジックモジュール出力「x」、「y」及び「z」も示している。これは最後のロジックレベルであるから、これらの値は出力ラッチ34へ送られる。更に、回路20Bに入る次の段の入力も示されている。この構成は、既に述べた図16の構成と同じである。

次に、幾つかの具現化事項について述べる。所与のFPLDがL個のレベルとc個のダイナミックロジックモジュール24を有し、その各々がm個の出力を有すると仮定する。又、具現化されるロジックネットワークは実現可能なネットワークである（即ちネットワークの各ノードが $\leq K$ の入力及び $c \leq m$ の出力を有する）と仮定する。そうでない場合には、既知のロジック合成技術を用いてそれをこのように変換することができる。実現可能なネットワークの組合せ部分をトポロジ的にレベル分けする。 $\rho$ をレベルの数とし、 $\Gamma$ を回路の任意のレベルにおけるモジュールの最大数とする。 $\rho \leq L$ 及び $\Gamma \leq C$ の場合には（例えば、図9では、 $\rho = 2$ 、 $\Gamma = 2$ 、 $L = 4$ 、 $C = 3$ ；図15では、 $\rho = 4$ 、 $\Gamma = 3$ 、 $L = 4$ 、 $C = 3$ ）、マッピングが単純であり、回路の1つのレベルが各内部サイクルにおいて評価される。 $\rho > L$ 又は $\Gamma > C$ の場合には、多数のレベルにわたってモジュ

ールをグループ分けすることにより回路を具現化することができる。次いで、各グループは、2つ以上の内部サイクルにおいて実現化することができ、その後、次のグループへ切り換えられる。

設計が単一チップ上に適合しない場合には、多数のチップにわたり設計を分割することができる。区画が独立している（即ち、共通の信号を共用しない）場合には、分割によって問題を招くことはない。

$\rho$  ( $\rho > L$ ) レベルの組合せロジックがあり、レベル当たり  $C$  個のモジュールがある場合を考える。この場合に、 $\rho/L$  個のチップと、それらのレベルカウンタ回路を同期するメカニズムとを必要とする。図3は、2つの信号「次のチップへ」及び「手前のチップより」を示している。これらの信号は、ディジーチェーン形態で接続され、従って、チップ  $C_{i-1}$  の後に接続されたチップ  $C_i$  は、チップ  $C_{i-1}$  がその最大レベルに到達した後にのみそのレベルカウンタを始動する。 $\Gamma > C$  の設計である場合には、チップにわたって分割すると、ロジックの複製が必要となる。

上記のように、ダイナミックロジックモジュール24は、異なる機能を具現化するよう繰り返し変更できる再構成可能なロジック構造体であってもよい。他の考えられるロジックモジュールの具現化は、(1)  $K$  及び  $m$  を整数とすれば、 $K$ —入力、 $m$ —出力のルックアップテーブル、(2) 各々1つ以上の出力を有しそして異なるか又は同数の入力を有する多数のルックアップテーブルの相互接続、(3) マルチプレクサをベースとするロジックモジュール、(4) 2レベルのアンド—オアロジック平面及びその変型であって、アンド及びオア入力がプログラマブルな読み取り／書き込みメモリビットによって制御されるもの、及び(5) ロジック具現化の組合せを用いた異種のダイナミックロジックモジュール、を含む。

又、動的な相互接続アレー26も、全アーキテクチャー及びそのアーキテクチャーの実際の具現化の両方において非常に多数の変型が可能である。以下、別の具現化について詳細に述べる。

クロスバーの各交差点はトランジスタで具現化される。例えば、トランジスタのソースは、バッファアレー30又はロジックコア22からの出力ラインに接続



される。トランジスタのドレインは、適当なダイナミックロジックアレー 24 に接続される。次いで、L-クロスバーコントローラ 42 又は B-クロスバーコントローラ 60 を用いて、所与のダイナミックロジックモジュールへ信号を送るべきときにゲート信号を発生することができる。

本発明のクロスバー構造を具現化する別の解決策は、シフトレジスタを使用することである。クロスバーの各交差点は、L ビットのメモリを有し、レベル当たり 1 ビットが使用される。これらのビットは、レベルの変化により丁度 1 ビットシフトするようにシフトレジスタのように構成できる。このような具現化の欠点は、第 1 のレベルの復帰する前に L ビット全体がシフトされねばならず、従って L の完全除数を 1 とすれば、1 レベルの回路しか具現化できないことである。それより優れた設計は、L 行のメモリを有し、各行が全ての交差点に対するメモリを構成するようにし、そしてレベルカウンタによって使用行を選択することである。

又、クロスバー構造は、マルチプレクサを用いて具現化することもできる。例えば、クロスバーの各行にマルチプレクサが使用される。マルチプレクサへの入力、バッファアレー 30 からの信号及びダイナミックロジックコア 22 からの信号となる。各マルチプレクサからの出力は、ダイナミックロジックモジュール 22 に接続される。L-クロスコントローラ 42 又は B-クロスコントローラ 60 を用いて各マルチプレクサごとに適当な選択信号が発生される。

L-クロスバーには  $(MC+B) \cdot KC$  の交差点があるので、 $(MC+B) \cdot KC \cdot L$  のメモリビットが必要となる。しかしながら、ロジックモジュールの K 入力の各々は同一であり、どの 1 つに信号が指定されるかは問題でない。換言すれば、 $(MC+B)$  信号は、ダイナミックロジックモジュール 24 当たり K 個の入力の 1 つに接続されるだけでよい。これは、K ビットを信号当たり  $1 \cdot \log_2 K$  ビットに減少することができ、全ビットを  $1 \cdot \log_2 KC \cdot L \cdot (MC+B)$  に減少できることを意味する。しかしながら、これは、各レベルにおけるデコーダを保証する。各ダイナミックロジックモジュール 24 の入力においては、 $(MC+B) \cdot \text{対} \cdot K$  のマルチプレクサが必要とされ、 $(MC+B) \cdot \text{対} \cdot K$  のクロスバーではないことを認識するのが好ましい。 $(MC+B) \cdot \text{対} \cdot 1$  のマルチプレクサは、 $1 \cdot \log_2$

$g_2(MC+B)$  本の選択ラインと、 $K$ 個のマルチプレクサとを必要とする。各選択ラインは、レベル当たり1ビットを必要とし、それ故、 $KCL \log_2(MC+B)$  ビットと、 $KC(MC+B) \cdot \text{対} \cdot 1$  のデコーダとが必要になる。これは、デコーダ及びゲートのビット等価値を  $\delta$  とすれば、 $KCL \log_2(MC+B) + KC(MC+B)\delta < KCL(MC+B)$  の場合に、より高いエリア効率となる。ダイナミックロジックモジュール24及び相互接続の両方がデコーダを必要とするので、デコーダを共用することができる。これは、ダイナミックロジックモジュールの出力に余計なラッチを配置することを必要とする。

固定布線接続により交差点の数をそれ以上に減少することができる。各ダイナミックロジックモジュールは、 $K$ 個のダイナミックロジックモジュールへの固定布線接続を有することができる、そして各ダイナミックロジックモジュールは、 $K$ 個のダイナミックロジックモジュール、好ましくはそれに隣接したモジュールから到来する入力をもつ。これは、クロスバー（場合によってはマルチプレクサ）が  $(MC-K+B)KC$  個の交差点に減少され、 $KC$  個の付加的な2入力マルチプレクサ（各入力の1つ）、及びそれに関連した  $KCL$  個の選択ビットが存在することになる。この相互接続構成は、ダイナミックロジックモジュールの出力からの扇状に広がる点の数を、初期の  $KC$  ではなくて、 $(MC-K)K+K$  へ減少する。

全てのダイナミックロジックモジュール入力が同等であることを認識することにより異なる形式の相互接続戦略を採用することができる。従って、入力における相互接続スイッチは、回路スイッチング用語によれば、 $(MC+B) \cdot \text{対} \cdot K$  の集中手段である。換言すれば、 $(MC+B)$  個の信号から  $K$  個を選択しなければならない。これは、この分野で二項集中手段として知られている2レベルの希薄接続クロスバーを用いることによって達成できる。このような相互接続戦略を用いる主たる効果は、交差点の全数が減少され、その結果、記憶に用いられるビット数が減少されることである。欠点は、2つの交差点に直列に信号を通さねばならないことである。これは、相互接続遅延を高める。

別の方法は、ルート決めを「コピー」機能として処理することである。例えば1つのDLM入力について考える。これは、手前のレベルから到来する  $(MC+$

B) 個の信号のいずれか1つに接続することができる。即ち、その値を(MC+B) 個の信号の1つの値にセットしなければならない。これは、メモリが(MC+B) ビットより成りそしてそれらの1つをスイッチ出力に読み出さねばならないようなメモリ読み取り動作に等しい。それ故、プリチャージ回路及び感知増幅器を用いることにより選択を行うことができる。(MC+B) 個の信号は、1列のメモリに対応し、セル選択トランジスタの1つがデコーダ又はローカルメモリビットにより選択される。この形式の具現化を用いると、エリア及び速度の両方に効果がある。セル選択トランジスタは、スイッチ入力と出力との間に直接接続が要求される場合に必要とされた大きなパストランジスタに比して最小のサイズである。そして感知増幅器を使用すると、読み取り動作を迅速に行うことができる。更に、メモリのプリチャージ時間は、ダイナミックロジックモジュールのルックアップ時間とインターリーブして、相互接続遅延を更に短縮することができる。これは、相互接続遅延がロジックモジュールの遅延と同じ大きさになり、更に小さくできることを意味する。

別の実施形態では、C個のダイナミックロジックモジュール24があり、その各々がK個の入力及び1つの出力を有すると仮定することができる。ダイナミックロジックモジュールがK個のクラスに分割される場合には、クラス当たりC/Kモジュールとなる。クラスj ( $j = 1 \cdots k$ ) のモジュールは、各ダイナミックロジックモジュールのj番目の入力に接続される(各入力ではなく)。これは、交差点及びメモリビットの数を係数Kで減少する。上記解決策の1つ以上を組み合わせ、ハイブリッドの動的相互接続アレー26を開発することもできる。

要約すれば、フィールドプログラマブル・ロジックデバイスの改良されたアーキテクチャーが開示されたことが明らかであろう。本発明の動的に変化するロジックコア及び相互接続アレーは、シリコンリソースの共用を容易にする一方、回路の配置及びルート指定が単純であるので回路の具現化プロセスを簡単なものにする。本発明に関連した別の効果は、タイミング性能を正確に予想することのできる改良されたタイミング性能及びそれに関連した利点である。

以上、本発明の特定の実施形態を一例として説明した。本発明は、ここに開示した厳密な形態に何ら限定されるものではなく、上記の教示に鑑み多数の変更や

修正がなされ得ることが明らかである。上記の実施形態は、本発明の原理及びその実際の応用を最も良く説明し、それにより、当業者が、意図された特定の用途に適するように本発明及び種々の実施形態を種々変更して最良に利用できるようにするために選択されたものである。本発明の範囲は、以下の請求の範囲及びその等効物によって限定されるものとする。

【図1】

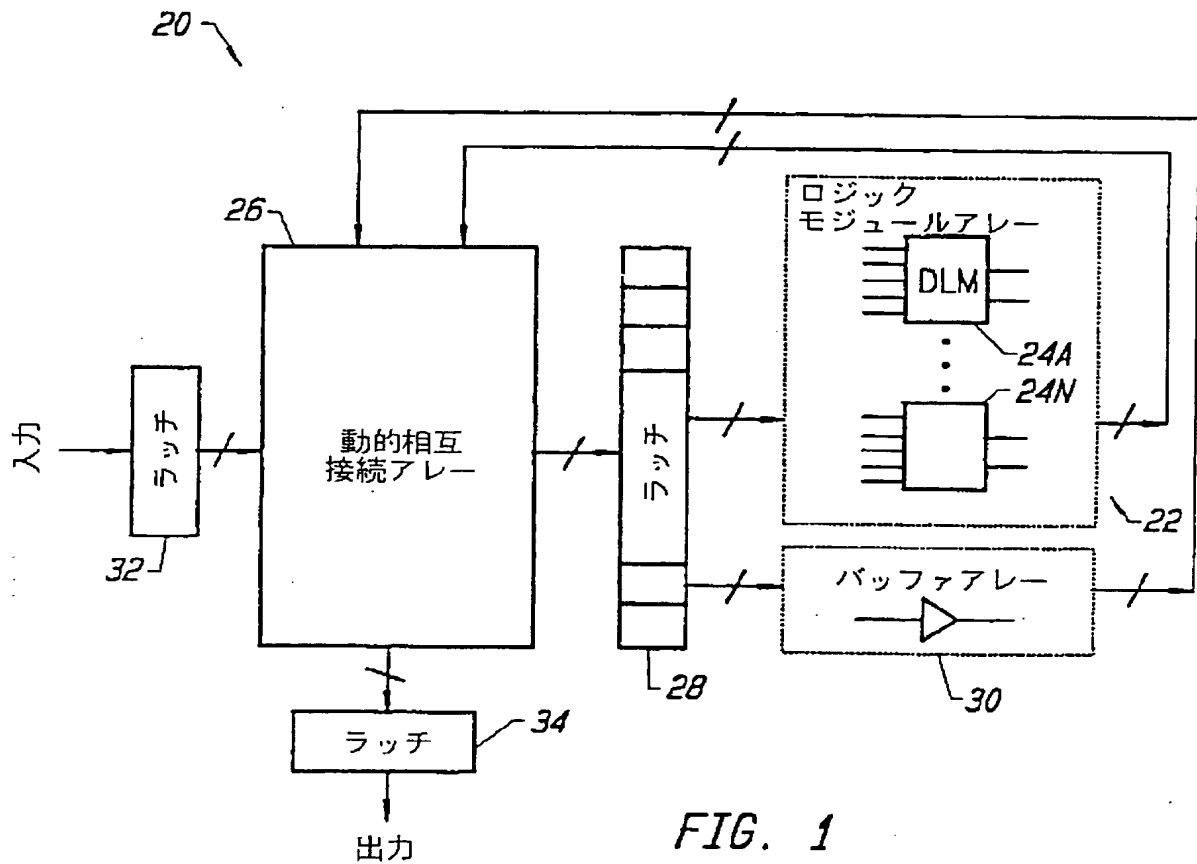


FIG. 1

【図2】

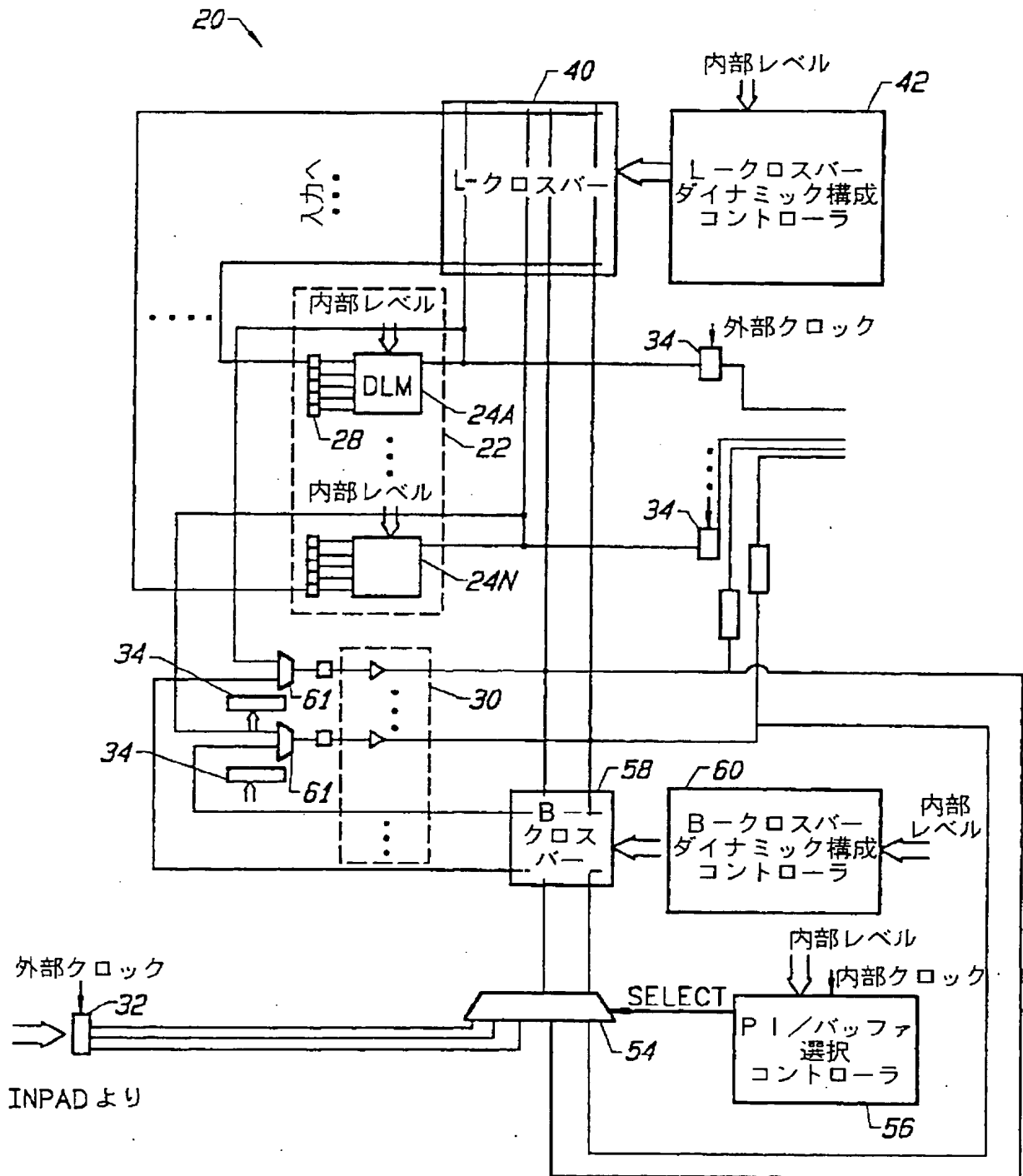


FIG. 2

【図3】

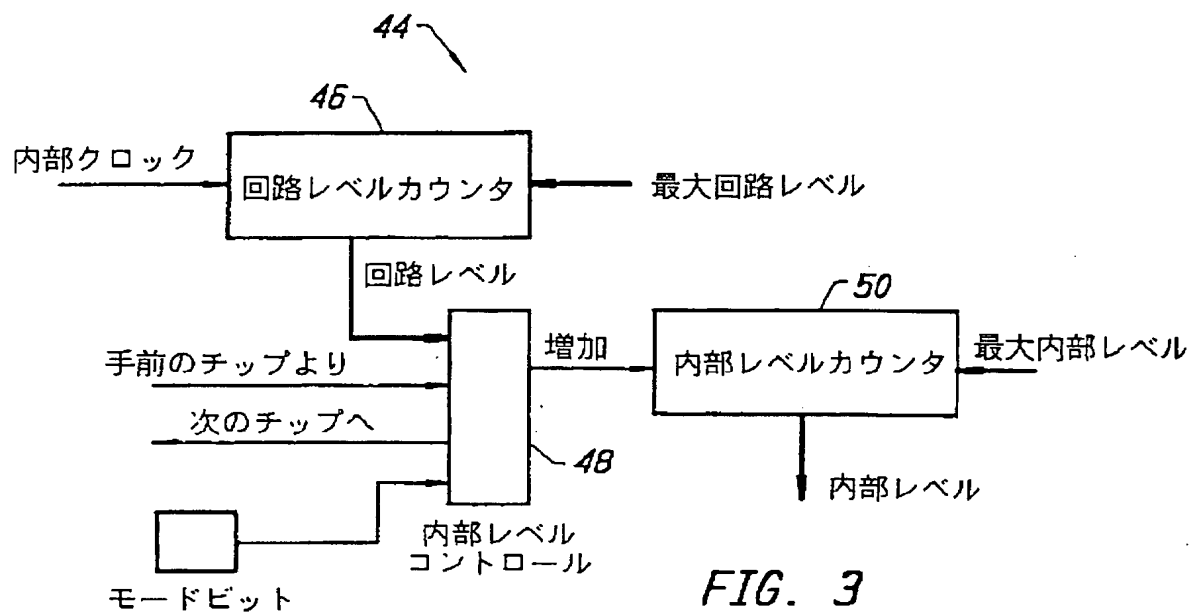


FIG. 3

【図4】

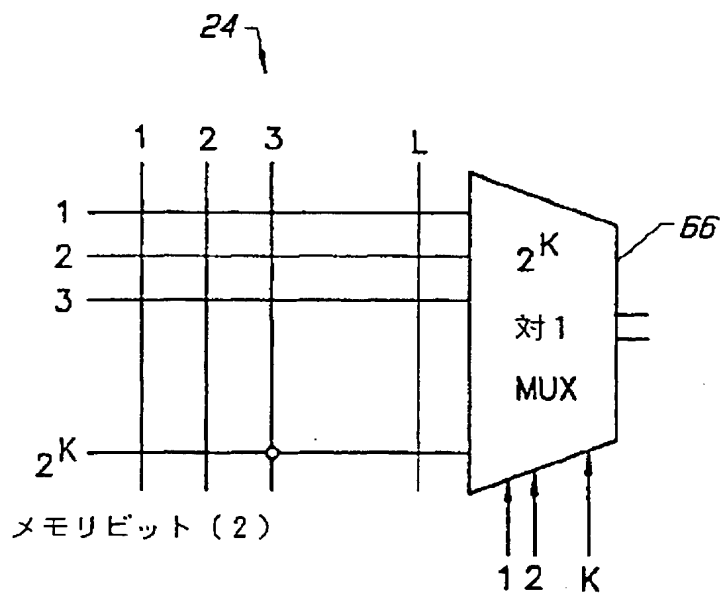


FIG. 4

【図5】

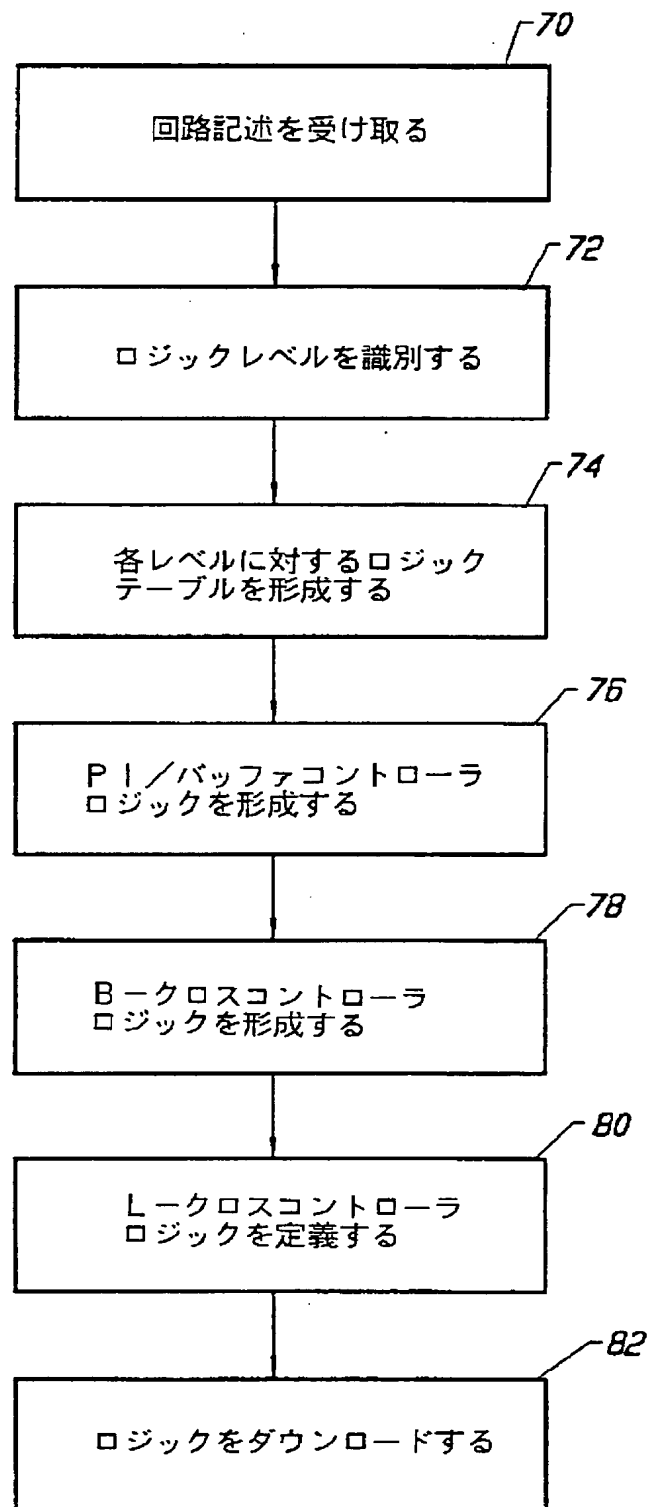
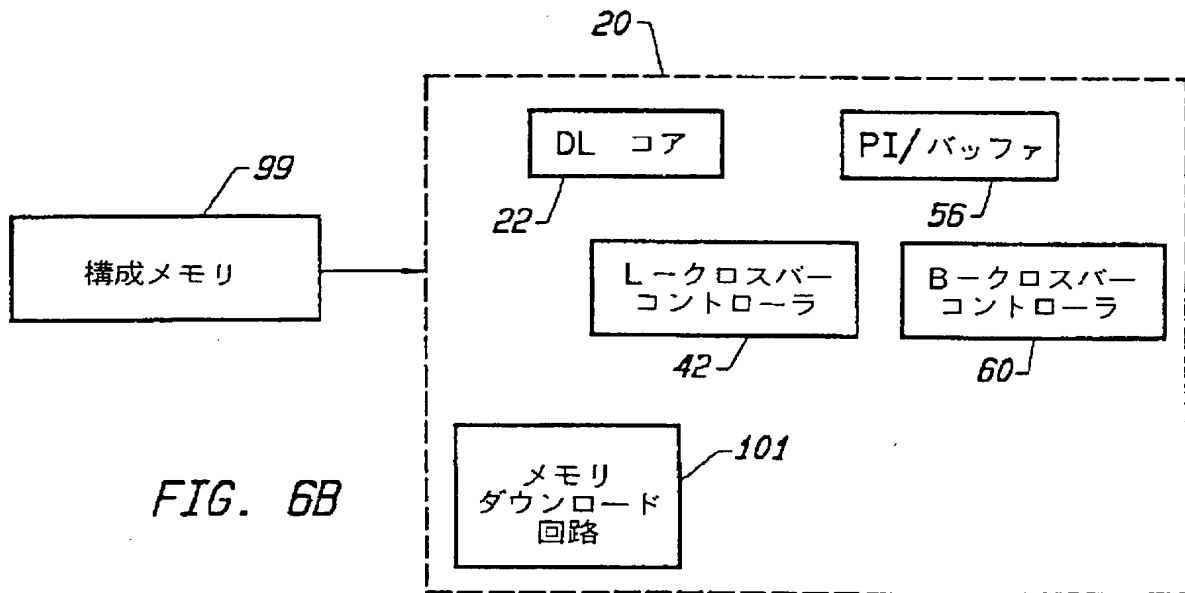
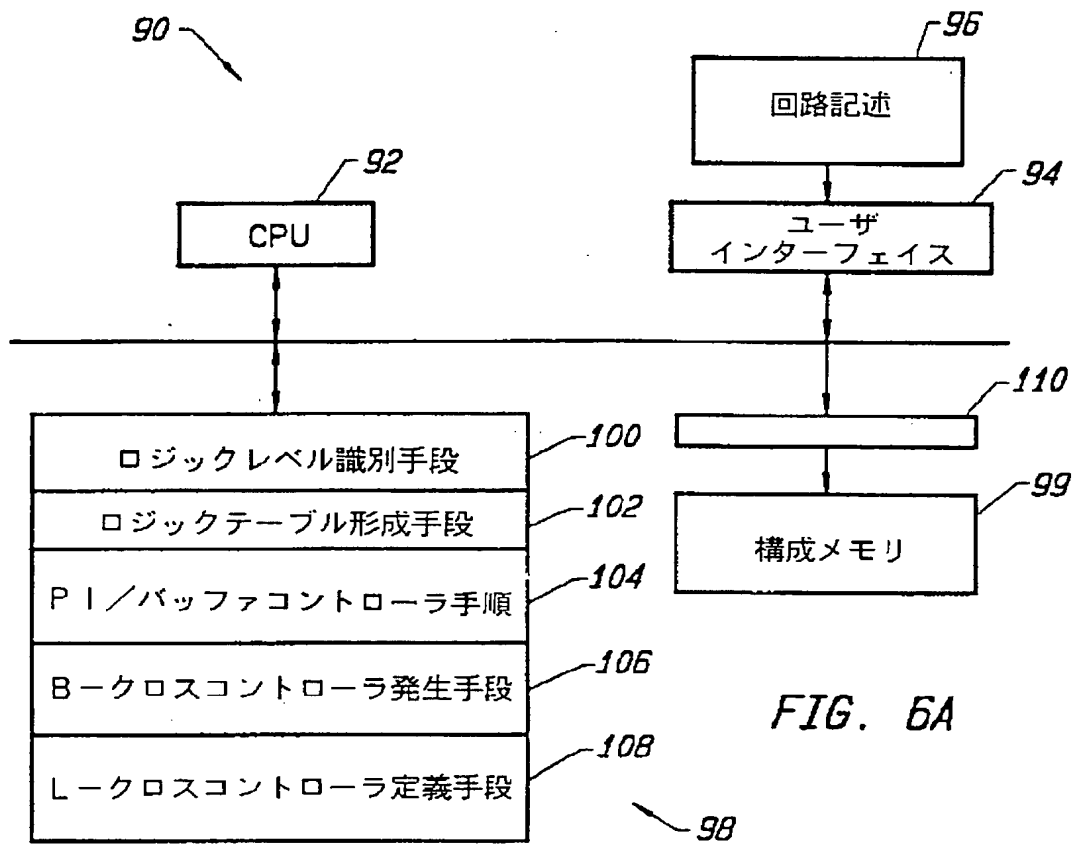


FIG. 5

【図6】





【図7】

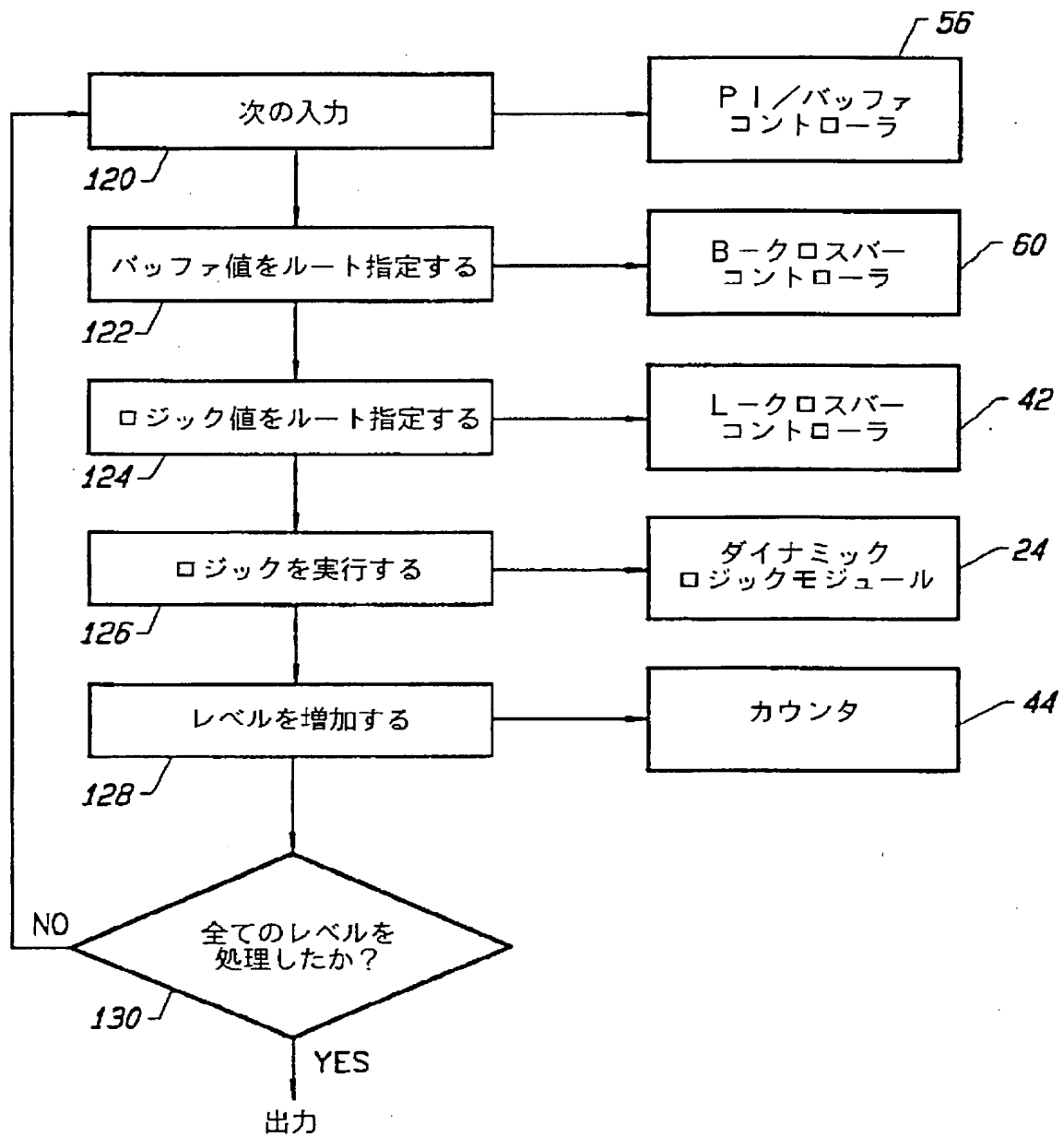


FIG. 7

【図8】

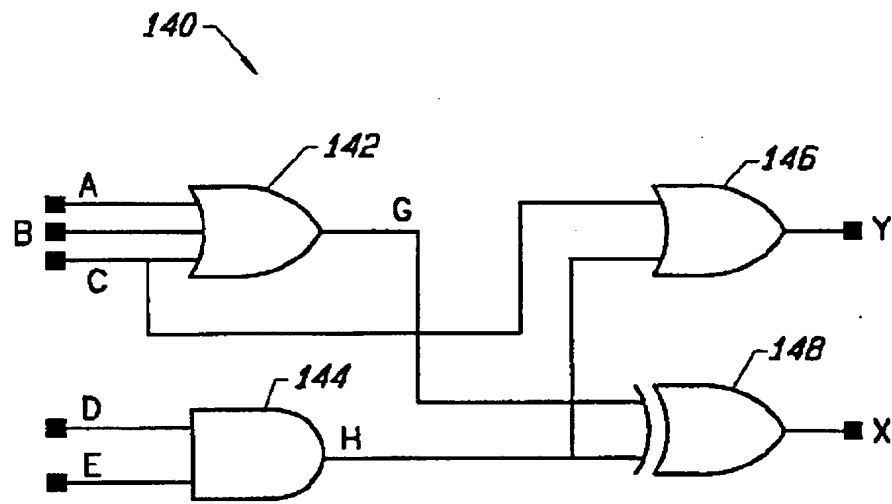


FIG. 8

【図9】

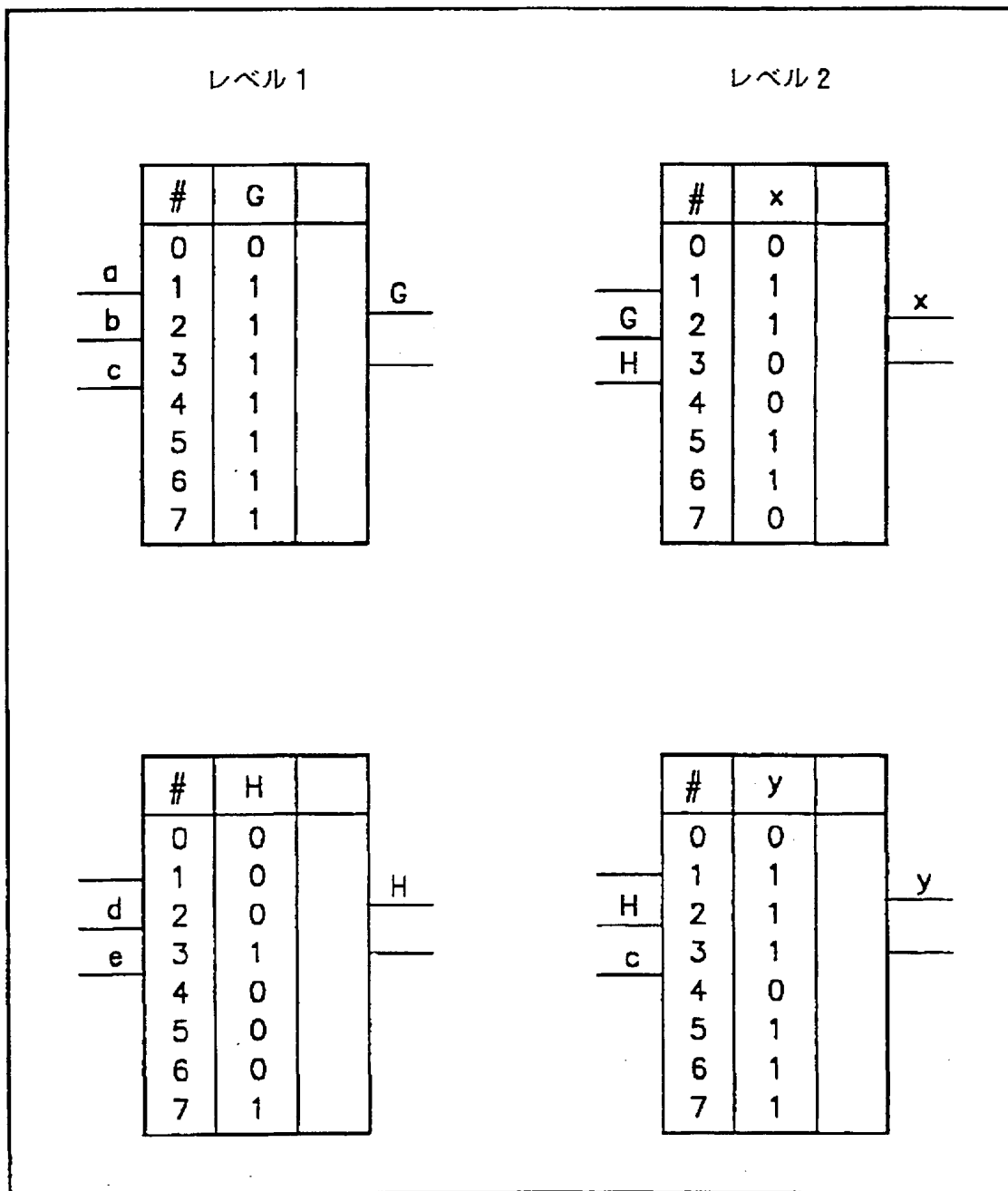
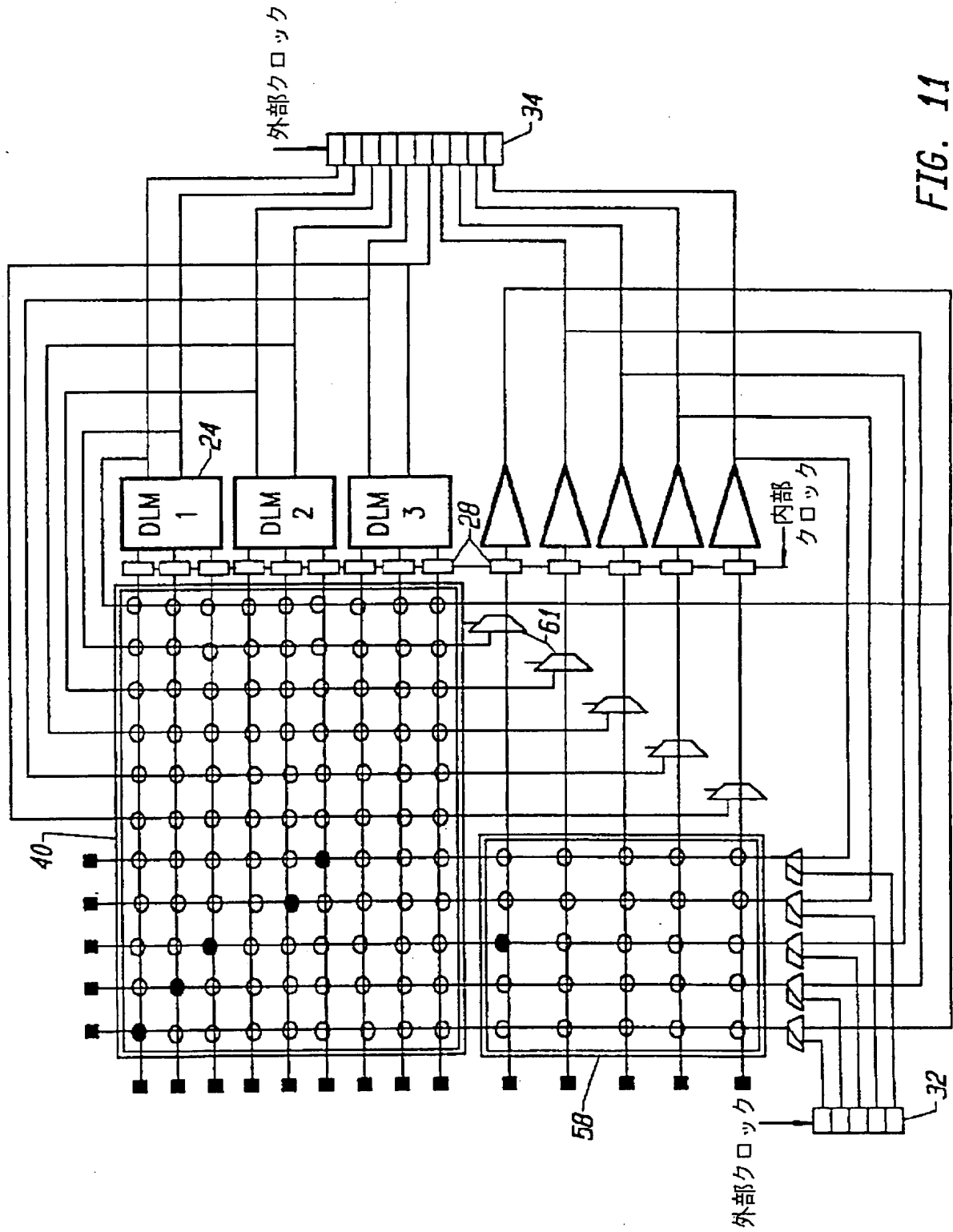


FIG. 9



【図11】



【図12】

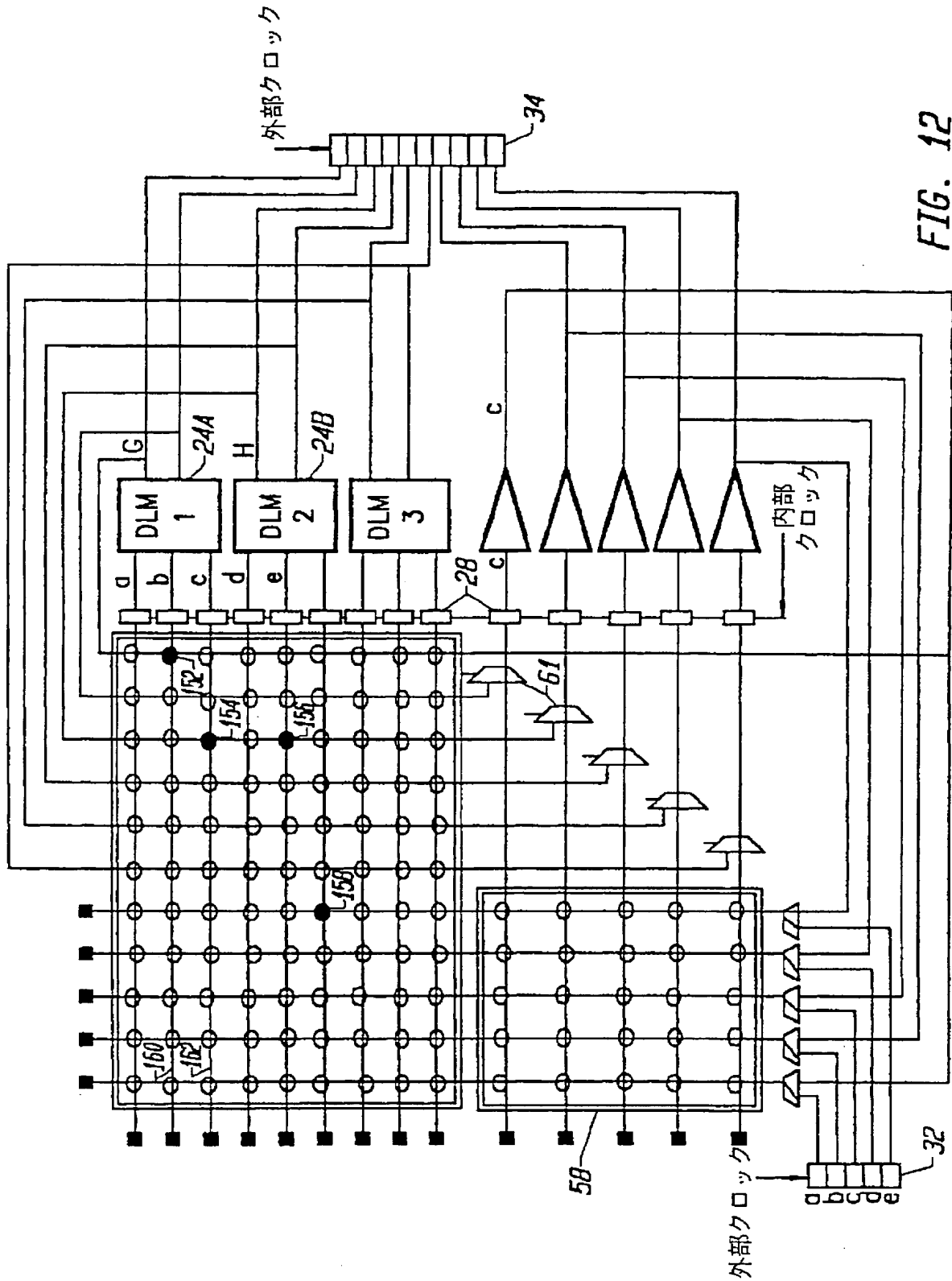
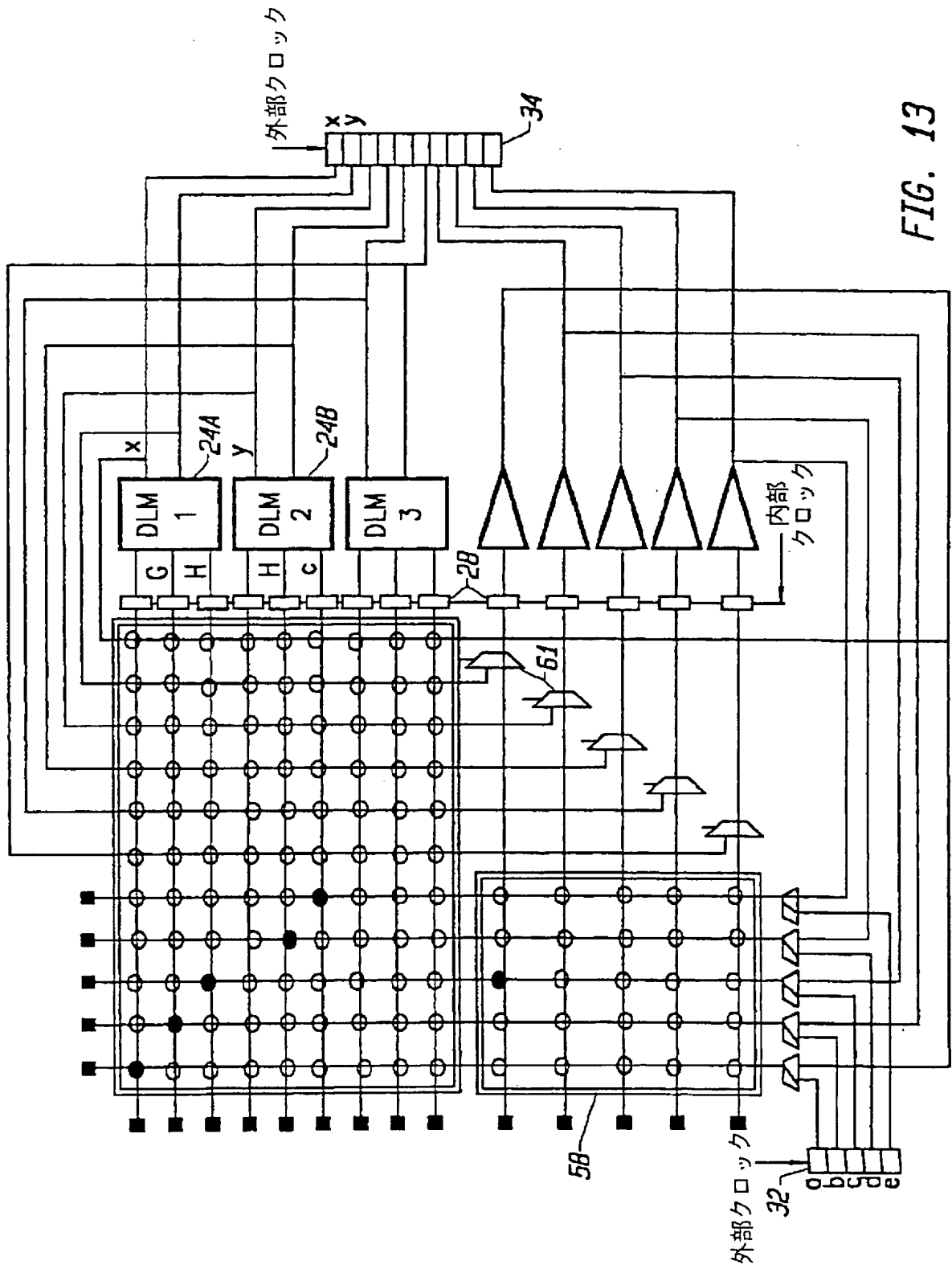


FIG. 12

【図13】



【図14】

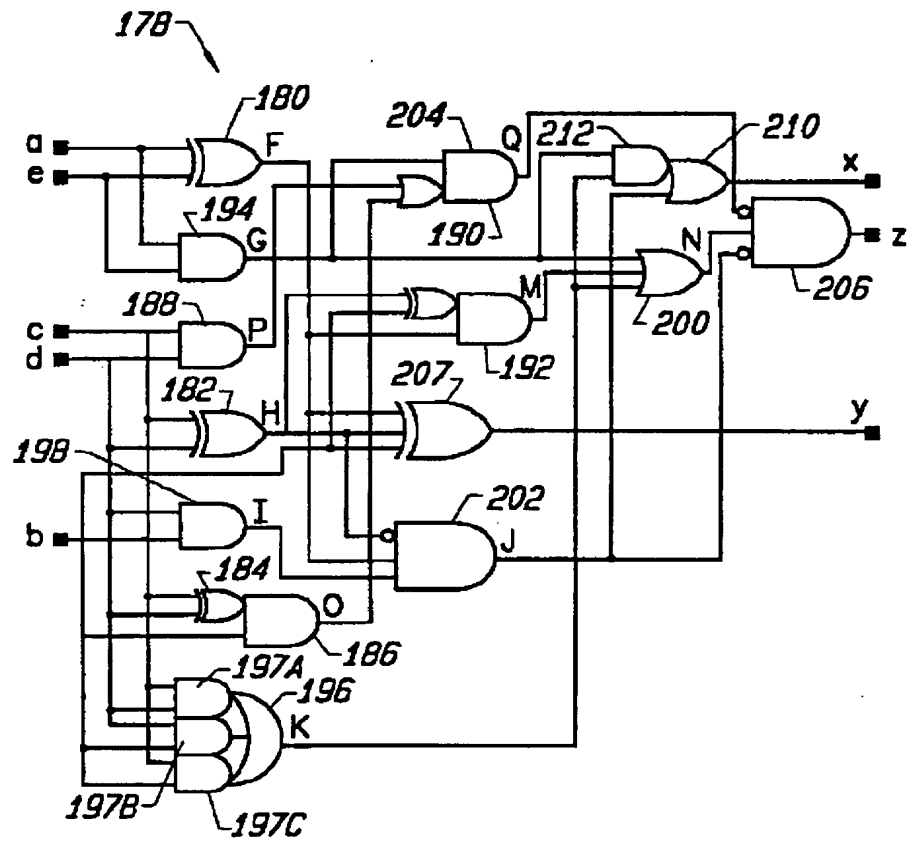


FIG. 14



【図15】

レベル1		
#		F
0		0
1		1
2		1
3		0
4		0
5		1
6		1
7		0
a		F
e		
#	H	O
0	0	0
1	1	0
2	1	0
3	0	0
4	0	0
5	1	1
6	1	1
7	0	0
b		H
c		O
d		
#	P	
0	0	
1	0	
2	0	
3	1	
4	0	
5	0	
6	0	
7	1	
c		P
d		

レベル2		
#		M
0		0
1		0
2		0
3		1
4		0
5		0
6		1
7		0
H		M
F		
b		
#		G
0		0
1		0
2		0
3		1
4		0
5		0
6		0
7		1
a		G
e		
#	K	I
0	0	0
1	0	0
2	0	0
3	1	1
4	0	0
5	1	1
6	1	1
7	1	1
c		K
b		I
d		

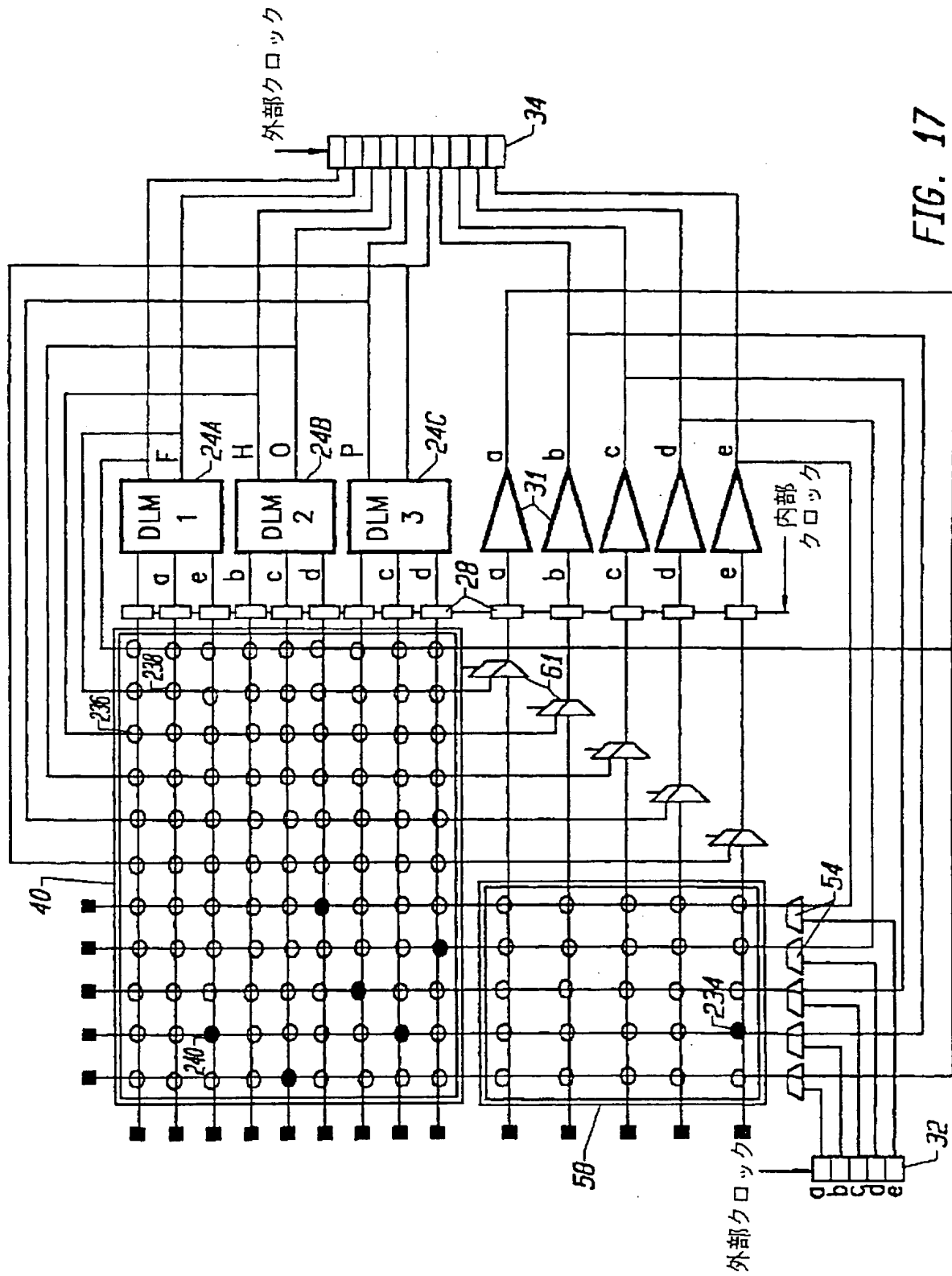
レベル3		
#	N	
0	0	
1	1	
2	1	
3	1	
4	1	
5	1	
6	1	
7	1	
G		N
M		
K		
#	J	
0	0	
1	0	
2	0	
3	0	
4	0	
5	1	
6	0	
7	0	
F		J
H		
I		
#		Q
0		0
1		0
2		0
3		0
4		0
5		1
6		1
7		1
G		Q
P		
O		

レベル4		
#	z	
0	0	
1	0	
2	1	
3	0	
4	0	
5	0	
6	0	
7	0	
J		z
N		
Q		
#	y	
0	0	
1	1	
2	1	
3	0	
4	1	
5	0	
6	0	
7	1	
H		y
b		
F		
#		x
0		0
1		0
2		0
3		1
4		1
5		1
6		1
7		1
J		x
G		
K		

FIG. 15



【図17】



【図18】

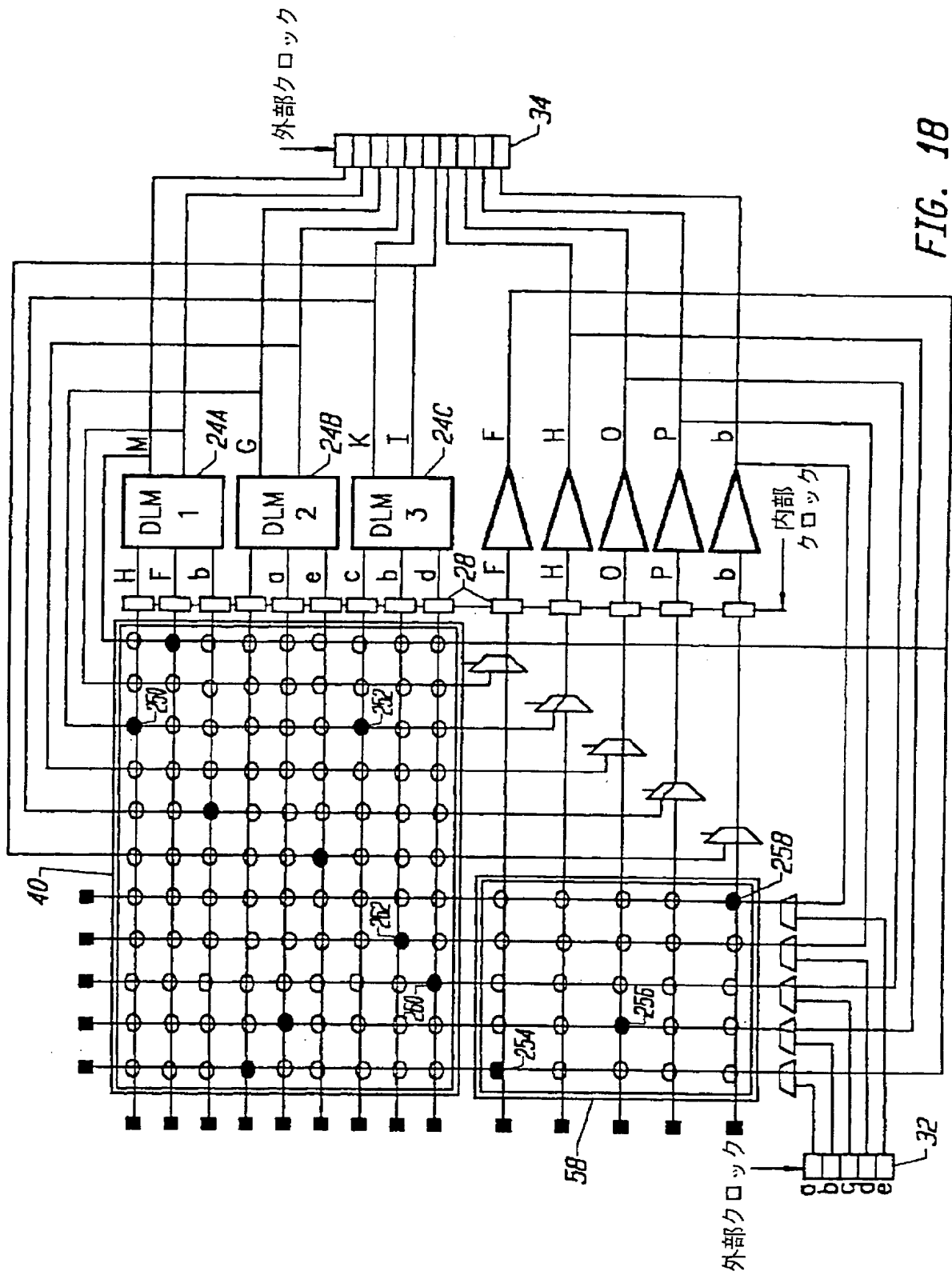
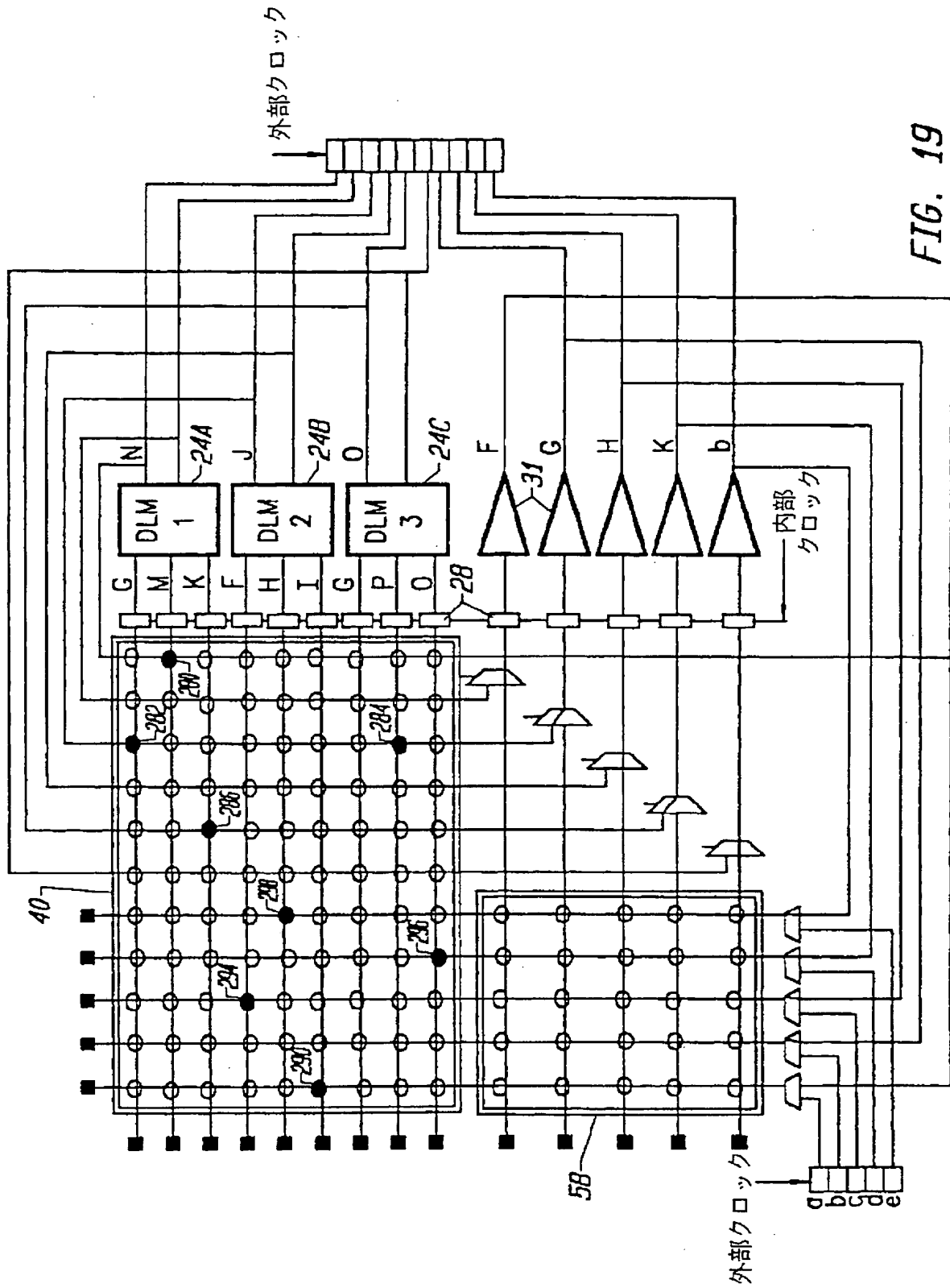


FIG. 18

【図19】



【図20】

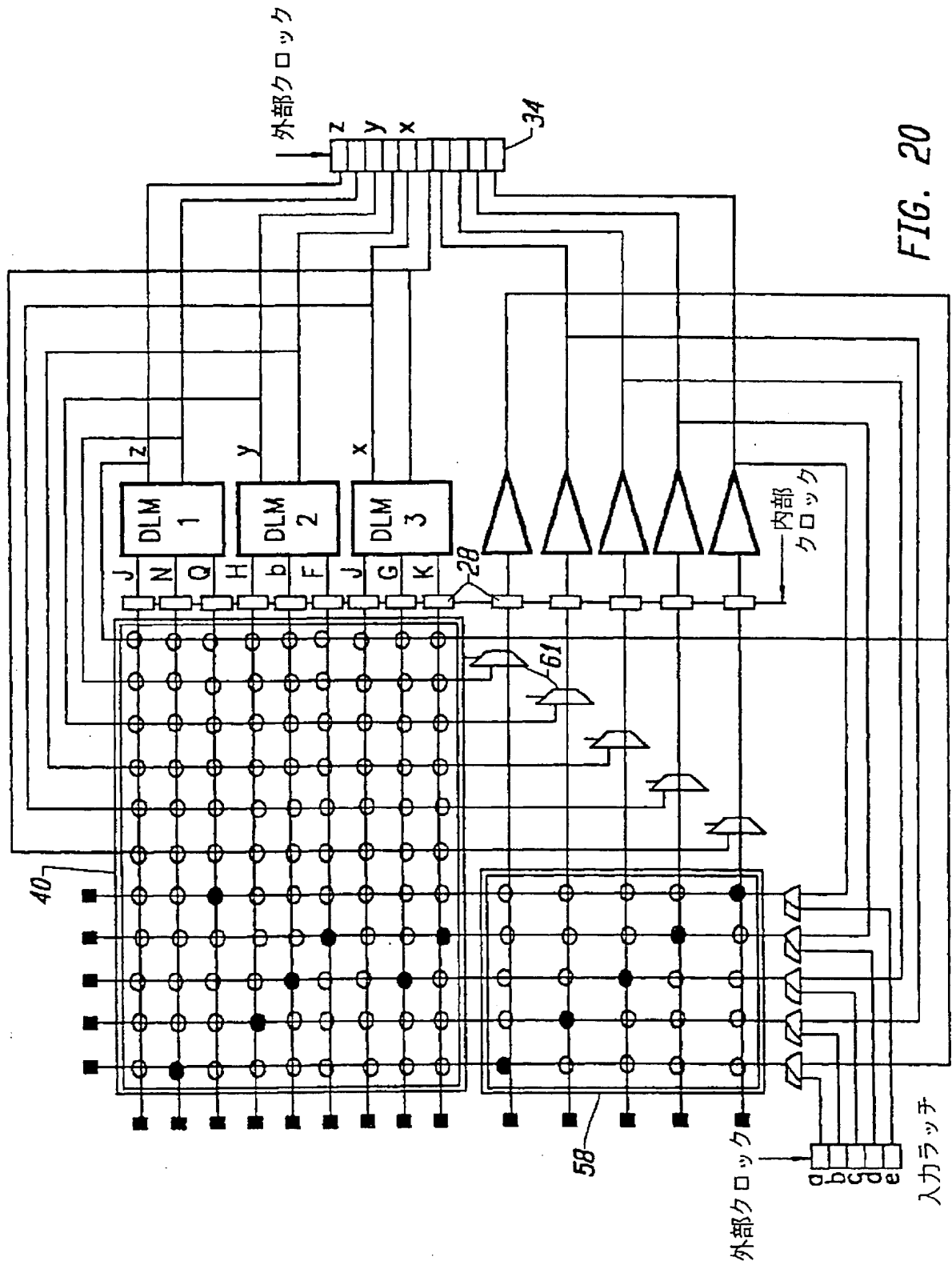


FIG. 20

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US94/05942

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(5) : G06C 13/00; G06G 7/00 US CL : 395/425, 400; 307/465, 468; 364/488, 489 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 395/425, 400; 307/465, 468; 364/488, 489 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, A, 5,105,388 (Itano et al) 14 April 1992, figures 4-14, col.2-6, 8-10, 15.	1-16
Y	US, A, 4,422,072 (Cavlan) 20 December 1983, figures 1-14, col. 5-6, 10.	1-16
A	US, A, 4,992,680 (Benedetti et al) February 12 1991, figures 1-14, col. 2-7.	1-16
A	US, A, 4,740,721 (Chung et al) 26 April 1988, figures 1-3, col. 2-7.	1-16
A	US, A, 5,027,315 (Agrawal et al) 25 June 1991, figures 1-2, col.3-8.	1-16
A	US, A, 5,140,193 (Freeman, deceased et al) 18 August 1992, figures 1-12, col. 2-10.	1-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be part of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "T" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 30 June 1994		Date of mailing of the international search report 19 AUG 1994
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. NOT APPLICABLE		Authorized officer PARSHOTAM S. LALL Telephone No. (703) 305-9715

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US94/05942

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, A, 5,185,706 (Agrawal et al) 9 February 1993, figures 1-12, col. 3-9.	1-16





フロントページの続き

(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, ES, FI, GB, GE, HU, JP, KG, KP, KR, KZ, LK, LU, LV, MD, MG, MN, MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, UZ, VN

(72) 発明者 チョードハリー カマル  
アメリカ合衆国 カリフォルニア州  
95060 サンタ クルーズ ペルトン ア  
ベニュー 200 - 707